

⑤ Int. Cl.⁵:
H 01 L 21/331
H 01 L 29/73

DE 41 02 888 A 1

DEUTSCHES
PATENTAMT

- (21) Aktenzeichen: P 41 02 888.0
 (22) Anmeldetag: 31. 1. 91
 (43) Offenlegungstag: 1. 8. 91

DE 41 02 888 A1

- ③① Unionspriorität: ③② ③③ ③①

31.01.90 JP P 2-18920 14.11.90 JP P 2-306054

- ⑦① Anmelder:

Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

- ⑦④ Vertreter:

Feiler, L., Dr.rer.nat.; Hänzel, W., Dipl.-Ing.;
Kottmann, D., Dipl.-Ing., Pat.-Anwälte, 8000 München

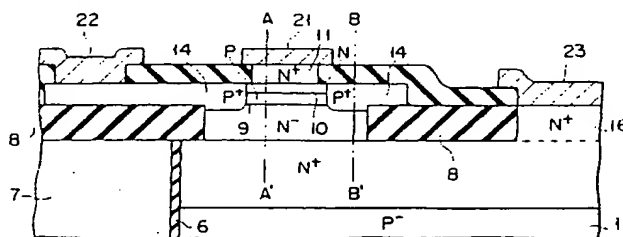
- ⑦2 Erfinder:

Hamasaki, Toshihiko, Yokohama, JP; Satake, Hideki, Kawasaki, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

- ⑤4 Verfahren zur Herstellung eines miniaturisierten Heteroübergang-Bipolartransistors

- 57 Die Erfindung betrifft ein Verfahren zur Herstellung eines miniaturisierten Heteroübergang-Bipolartransistors, bei dem mindestens eine Emitter- oder Kollektorschicht aus einem Halbleitermaterial eines größeren Bandabstands als beim Material einer Basisschicht geformt ist. Dieses Verfahren umfaßt folgende Schritte: Erzeugen einer ersten Halbleiterschicht (3) eines ersten Leitungstyps auf einem Substrat (1), wobei die erste Halbleiterschicht als Kollektorschicht dient; Wegätzen eines nicht benötigten Abschnitts der ersten Halbleiterschicht (3) zur Ausbildung einer Rille (4₂) und Einlassen einer Isolierschicht (8) in die Rille; Ausbilden einer zweiten, als Basisschicht dienenden Halbleiterschicht (9) auf der ersten Halbleiterschicht (3) und dem letztere umgebenden Teil der Isolierschicht (8); und Ausbilden einer dritten, als Emitterschicht dienenden Halbleiterschicht (10) des ersten Leitungstyps auf der zweiten Halbleiterschicht (9). Beim erfindungsgemäßen Verfahren wird im voraus eine Rille in einem nicht benötigten Teil der ersten Halbleiterschicht (3), welche die Kollektorschicht bilden soll, geformt, und die Isolierschicht (8) wird in der Rille eingegraben bzw. in diese eingelassen. Damit kann ein eingeebnetes Plättchen mit einem darin festgelegten Elementbereich erhalten werden. Die die Basisschicht bildende zweite Halbleiterschicht (9) wird auf dem Plättchen geformt, worauf die als Emitterschicht dienende dritte Halbleiterschicht (10) ausgebildet wird. Damit kann ...



DE 41 02 888 A 1

Beschreibung

Die Erfindung betrifft ein Verfahren zur Herstellung eines miniaturisierten Heteroübergang-Bipolartransistors, bei dem mindestens eine Emitterschicht oder eine Kollektorschicht aus einem Halbleitermaterial eines größeren Bandabstands als beim Material einer Basis-schicht geformt wird.

In neuerer Zeit sind Heteroübergang-Bipolartransistoren als Hochleistungstransistoren ins Auge gefaßt worden; insbesondere sind Heteroübergang-Bipolartransistoren unter Verwendung eines Verbundhalbleiters gründlich untersucht worden. Die Untersuchungen bezüglich der Technik des Einbaus eines Heteroübergangs in einen Bipolartransistor auf Siliziumbasis sind bereits weit fortgeschritten. Heteroübergang-Bipolartransistoren auf Siliziumbasis sind z. B. von J.F. Gibbons und Mitarbeiter in (1) IEDM Digest of Technical Papers, 1988, S. 566, und von G.L. Patton und Mitarbeiter in (2) Symp. VLSI Tech. Digest of Technical Papers, 1989, S. 95, beschrieben worden. In diesen Veröffentlichungen ist beschrieben, daß eine Basisschicht aus einer Silizium-Germanium-Legierungsschicht (SiGe-Schicht) als ausgedehnte oder gestreckte (strained) epitaxiale Schicht eines kleineren Bandabstands als dem von Silizium geformt wird.

Der bisherige Heteroübergang-Bipolartransistor auf Siliziumbasis ist mit den folgenden Mängeln behaftet: Bei der Anordnung nach Veröffentlichung (1) ist eine Übergangzone zwischen einer externen Basisschicht und einer Kollektorschicht groß; dabei ist eine Kollektor-Basis-Übergangskapazität groß. Infolgedessen kann ein entsprechender Transistor nicht mit hoher Geschwindigkeit arbeiten. Bei der Anordnung nach Veröffentlichung (2) ist ein Elementbereich durch einen isolierenden Film oder Isolierfilm festgelegt, weshalb eine Basis-Kollektor-Übergangskapazität kleiner ist als im Fall von Veröffentlichung (1). Bei der Anordnung nach Veröffentlichung (2) entsteht jedoch ein großer abgestufter Abschnitt in der Emitterschicht, so daß die Möglichkeit eines Bruchs einer Elektrodenverdrahtung berücksichtigt werden muß. Außerdem weisen die externe Basisschicht und die Emitterschicht aus polykristallinem Silizium keine selbstjustierte Struktur auf. Infolgedessen erweist es sich als schwierig, den Abstand zwischen der externen Basisschicht und der Emitterschicht zu kontrollieren bzw. einzustellen; eine Vergrößerung dieses Abstands führt dabei zu einer Erhöhung des Basiswiderstands.

Aufgabe der Erfindung ist damit die Schaffung eines Verfahrens zur Herstellung eines miniaturisierten Heteroübergang-Bipolartransistors hoher Leistungsfähigkeit, bei dem eine Kollektor-Basis-Übergangskapazität niedrig und eine Schalteroperation mit hoher Geschwindigkeit möglich ist.

Die Erfindung bezweckt auch die Schaffung eines Verfahrens zur Herstellung eines miniaturisierten Heteroübergang-Bipolartransistors hoher Leistungsfähigkeit, bei dem ein abgestufter Abschnitt auf einem Elementbereich klein ist und mit dem eine hohe (Betriebs-) Zuverlässigkeit erreicht wird.

Ein Heteroübergang-Bipolartransistor gemäß der Erfindung ist ein miniaturisierter Heteroübergang-Bipolartransistor, bei dem mindestens eine Emitterschicht oder eine Kollektorschicht aus einem Halbleitermaterial eines größeren Bandabstands als bei einem Material einer Basisschicht geformt ist. Das erfindungsgemäße Verfahren zur Herstellung eines solchen Transistors

umfaßt folgende Schritte: Ausbilden einer ersten, als Kollektorschicht dienenden Halbleiterschicht eines ersten Leitfähigkeits- oder Leitungstyps auf einem Substrat; (Weg-)Ätzen eines unnötigen Abschnitts der ersten Halbleiterschicht zur Bildung einer Rille und Vergraben bzw. Einlassen einer Isolierschicht in der (die) Rille; Ausbilden einer zweiten, als Basisschicht dienenden Halbleiterschicht auf der ersten Halbleiterschicht und dem letztere umgebenden Teil der Isolierschicht; sowie Ausbilden einer als Emitterschicht dienenden dritten Halbleiterschicht des ersten Leitungstyps auf der zweiten Halbleiterschicht.

Beim Verfahren gemäß der Erfindung wird eine Rille im Voraus in einem unnötigen oder nicht benötigten Teil der ersten Halbleiterschicht, welche zur Kollektorschicht wird, ausgebildet, und die Isolierschicht wird in der Rille vergraben bzw. in sie ausgelassen. Damit kann ein flach geformtes bzw. ebenes Plättchen mit einem darin festgelegten Elementbereich erhalten werden. Die die Basisschicht bildende zweite Halbleiterschicht wird auf dem Plättchen erzeugt, worauf die als Emitterschicht dienende dritte Halbleiterschicht geformt wird. Die Basis-Kollektor-Übergangszonen kann damit auf eine kleinste nötige Größe verkleinert werden. Zudem wird dabei eine Oberfläche mit einem kleinen abgestuften Abschnitt erhalten. Auf diese Weise können hohe Leistungsfähigkeit und hohe Zuverlässigkeit des miniaturisierten Heteroübergang-Bipolartransistors gewährleistet werden.

Im folgenden sind bevorzugte Ausführungsbeispiele der Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

Fig. 1A bis 1M Schnittansichten zur Verdeutlichung eines Verfahrens zur Herstellung eines Heteroübergang-Bipolartransistors gemäß einem Ausführungsbeispiel der Erfindung.

Fig. 2 eine graphische Darstellung einer Fremdatomkonzentrationsverteilung in einem Bereich entsprechend einem Schnitt längs der Linie A-A' in Fig. 1M.

Fig. 3 eine graphische Darstellung einer Fremdatomkonzentrationsverteilung in einem Bereich entsprechend einem Schnitt längs der Linie B-B' in Fig. 1M.

Fig. 4 einen Querschnitt durch einen Heteroübergang-Bipolartransistor gemäß einem anderen Ausführungsbeispiel der Erfindung.

Fig. 5A bis 5M Schnittansichten zur Verdeutlichung des Verfahrens zur Herstellung des Transistors nach Fig. 4.

Fig. 6 eine graphische Darstellung einer Fremdatomkonzentrationsverteilung und einer Ge-Konzentrationsverteilung in einem Bereich entsprechend einem Schnitt längs der Linie A-A' in Fig. 4.

Fig. 7 eine graphische Darstellung einer Fremdatomkonzentrationsverteilung und einer Ge-Konzentrationsverteilung in einem Bereich entsprechend einem Schnitt längs der Linie B-B' in Fig. 4.

Fig. 8 einen Querschnitt durch einen Heteroübergang-Bipolartransistor gemäß noch einem anderen Ausführungsbeispiel der Erfindung.

Fig. 9A bis 9M Schnittansichten zur Verdeutlichung des Verfahrens zur Herstellung des Transistors nach Fig. 8.

Fig. 10 eine graphische Darstellung einer Ge-Konzentrationsverteilung in einer internen oder inneren Basisschicht des Bipolartransistors nach Fig. 8.

Fig. 11A bis 11B Schnittansichten zur Verdeutlichung des Verfahrens zur Herstellung eines Heteroübergang-Bipolartransistors gemäß einem weiteren Ausführungs-

beispiel der Erfindung.

Fig. 12 einen Querschnitt durch einen Heteroübergang-Bipolartransistor gemäß noch einem weiteren Ausführungsbeispiel der Erfindung und

Fig. 13 eine graphische Darstellung einer Ge-Konzentrationsverteilung und einer Bandabstandsverteilung in der Basiszone des Bipolartransistors nach Fig. 12.

Im folgenden ist anhand der Fig. 1A bis 1M ein Ausführungsbeispiel beschrieben, bei dem die Erfindung auf einen Si/SiGe-Heteroübergang-Bipolartransistor angewandt ist. Zunächst wird ein Oberflächenabschnitt oder -bereich eines monokristallinen P⁻-Siliziumsubstrats 1 mit Arsen (As) dotiert, um eine N⁺-Schicht 2 zu bilden, die zu einer vergrabenen Kollektorschicht wird. Sodann wird auf der Schicht 2 eine eine Kollektorschicht bildende N⁻-Schicht 3 gezüchtet (bzw. zum Aufwachsen gebracht) (vgl. Fig. 1A). Die Dicke der N⁻-Schicht 3 beträgt 400 nm (4000 Å). Unter Verwendung einer nicht dargestellten Photoresistmaske wird ein reaktiver Ionenätz- bzw. RIE-Vorgang durchgeführt, um gewählte Bereiche der N⁻-Schicht 3 und der N⁺-Schicht 2 zu ätzen und damit eine Rille 4₁ in einem Elementtrennbereich zu erzeugen. Die Rille 4₁ wird so (tief) geformt, daß sie das Substrat 1 erreicht bzw. in dieses hineinreicht. Durch thermische Oxidation wird ein Siliziumoxidfilm 6 auf der Innenwand der Rille 4₁ und auf der Oberfläche der N⁻-Schicht 3 erzeugt. Am Boden bzw. an der Sohle der Rille 4₁ wird durch Ionenimplantation von Boronen eine P⁺-(Typ-)Inversionsschutzschicht 5 (Fig. 1B) erzeugt. Sodann wird die Elementtrenn-Rille 4₁ mit einer undotierten polykristallinen Siliziumschicht 7 aufgefüllt (Fig. 1C).

Die N⁻-Schicht 3 wird mit Ausnahme des als Elementbereich benötigten Abschnitts und eines Kollektorherausführbereichs durch selektives Ätzen entfernt, so daß eine Rille 4₂ (Fig. 1D) entsteht. Auf der Gesamtoberfläche des so entstandenen Gebildes wird nach einem chemischen Aufdampf- bzw. CVD-Verfahren ein Siliziumoxidfilm niedergeschlagen. Nach dem Einebnen der Oberfläche des erhaltenen Gebildes mittels eines Photoresists usw. wird der Siliziumoxidfilm geätzt. Dabei wird ein Siliziumoxidfilm 8 in die Rille 4₂ eingelassen. Hierauf wird der Siliziumoxidfilm 6 auf der Oberfläche der N⁻-Schicht 3 durch Ätzen entfernt (Fig. 1E). Auf diese Weise wird ein Plättchen einer flachen oder ebenen Struktur erhalten, bei dem die N⁻-Schicht 3 im Emitterbildungsbereich und im Kollektorherausführbereich verbleibt und die Isolierschicht in den anderen Bereich eingelassen ist.

Eine P-SiGe-Schicht 9, die eine Basisschicht bilden soll, wird auf der N⁻-Schicht 3 und der letztere umschließenden Siliziumoxidschicht 8 des flachen Plättchens (epitaxial) zum Aufwachsen gebracht (Fig. 1F). Im Schritt der Ausbildung der SiGe-Schicht 9 wird beispielsweise eine Molekularstrahlepitaxie (MBE) durchgeführt, um die Anordnung gleichzeitig mit dem Aufwachsen der Schicht 9 mit Bor (B) zu dotieren. Damit wird die P-SiGe-Schicht 9 in Form einer ausgedehnten (strained) epitaxialen Schicht mit 20% Ge geformt. Die B-Konzentration in der SiGe-Schicht 9 beträgt etwa $1 \times 10^{19}/\text{cm}^3$. Anschließend werden aufeinanderfolgend durch (epitaxiales) Aufwachsen eine 50 nm (500 Å) dicke N-Siliziumschicht 10, die zu einer Emitterschicht wird, und eine N⁺-Siliziumschicht 11, die eine Dicke von 100 nm (1000 Å) besitzt und zu einer Emitterkontaktschicht wird, ausgebildet. Die As-Konzentration in der N-Siliziumschicht 10 beträgt beispielsweise $1 \times$

$10^{18}/\text{cm}^3$, und die As-Konzentration in der N⁺-Siliziumschicht 11 beträgt $1 \times 10^{20}/\text{cm}^3$.

Auf dem so erhaltenen Gebilde wird nach einem CVD-Verfahren ein Siliziumoxidfilm 12 abgelagert. Unter Verwendung einer nicht dargestellten Photoresistmaske erfolgt ein reaktives Ionenätzen zum Entfernen des Films 12 mit Ausnahme seines dem Emitterbereich entsprechenden Teils. Anschließend wird die N⁺-Siliziumschicht 11 selektiv entfernt oder abgetragen (Fig. 1H). In den auf Fig. 1H folgenden Figuren sind die wesentlichen Teile vergrößert dargestellt. Danach wird nach einem CVD-Verfahren auf dem so erhaltenen Gebilde ein Siliziumoxidfilm 13 abgelagert, und dieser wird durch reaktives Ionenätzen bzw. nach einem RIE-Verfahren geätzt, so daß nur ein Teil des Films 13 auf den Seitenwänden des Siliziumoxidfilms 12 unter den N⁺-Siliziumschicht 11 zurückbleibt. Unter Verwendung der Siliziumoxidfilme 12 und 13 als Maske erfolgt eine Ionenimplantation von Bor (B), wodurch eine P⁺-Schicht 14, die zu einer externen Basisschicht wird und an die N⁻-Schicht 3 sowie den Oxidfilm 8 heranreicht, entsteht (Fig. 1I). Danach werden die Siliziumoxidfilme 12 und 13 durch Ätzen entfernt. Unter Verwendung einer nicht dargestellten Photoresistmaske, die zum Abdecken des Emitterbereiches und des Basisbildungsbereichs gemustert ist, wird der unnötige Teil der P⁺-Schicht 14 entfernt (Fig. 1J). Der vom Siliziumoxidfilm 8 umgebene Teil der gemusterten P⁺-Schicht 14 dient als externe Basisschicht, während der sich über den Siliziumoxidfilm 8 erstreckende Teil der Schicht 14 als Basisherausführelektrode dient.

Emitter- und Basisbereiche oder -zonen werden mit einer Photoresistmaske 15 abgedeckt, und es erfolgt eine Implantation von As, wodurch eine die N⁺-Schicht 2 erreichende N⁺-Kollektorherausführschicht 16 gebildet wird (Fig. 1K). Nach dem Entfernen der Photoresistmaske 15 wird nach einem CVD-Verfahren ein Siliziumoxidfilm 17 auf dem bis dahin erhaltenen Gebilde niedergeschlagen. Der Film 17 wird zur Bildung einer Emitterelektroden-Kontaktöffnung 18, einer Basiselektroden-Kontaktöffnung 19 und einer Kollektorelektroden-Kontaktöffnung 20 selektiv geätzt (Fig. 1L). Schließlich werden Metallelektroden 21, 22 und 23 aus Al oder dergleichen geformt (Fig. 1M).

Die Fig. 2 und 3 veranschaulichen jeweils Fremdatomkonzentrationsverteilungen in Schnitten längs der Linien A-A' und B-B' in Fig. 1M.

Wie vorstehend beschrieben, wird bei diesem Ausführungsbeispiel in dem unnötigen oder nicht erforderlichen Teil des Plättchens, in welchem die als Kollektorschicht dienende N-Si-Schicht 3 ausgebildet ist, eine Rille geformt, und der Oxidfilm 8 wird in die Rille eingegraben oder eingelassen, wodurch die Oberfläche des Plättchens eingeebnet wird. Die die Basisschicht bildende SiGe-Schicht 9 und die die Emitterschicht bildende Si-Schicht 10 werden aufeinanderfolgend (epitaxial) zum Aufwachsen gebracht bzw. gezüchtet. Da der für den Emitter und die Basis des Elements benötigte Bereich durch den eingelassenen Oxidfilm definiert ist, steigt die Basis-Kollektor-Übergangskapazität nicht übermäßig an. Ein ausgezeichnete Ebenheitsgrad des Plättchens kann von der Anfangsstufe bis zur Endstufe des Herstellungsverfahrens beibehalten werden, und die Elektrodenherausführabchnitte weisen keine großen abgestuften Abschnitte oder Stufenabschnitte auf. Darüber hinaus ist der externe Basisbereich in bezug auf den Emitterbereich selbstjustiert (d. h. mit Selbstjustierung ausgebildet) und sehr dicht am Emitterbereich geformt. Auf

diese Weise wird ein niedriger Basiswiderstand erreicht. Als Ergebnis wird ein Heteroübergang-Bipolartransistor kleiner Abmessungen, hoher Leistungsfähigkeit und hoher Zuverlässigkeit erhalten.

Fig. 4 veranschaulicht einen Heteroübergang-Bipolartransistor gemäß einem anderen Ausführungsbeispiel der Erfindung. Beim vorher beschriebenen Ausführungsbeispiel ist der gesamte Basisbereich, einschließlich einer inneren Basisschicht (einer aktiven Basisschicht) und einer externen Basisschicht, aus einer SiGe-Schicht gleicher Zusammensetzung geformt. Infolgedessen besitzen sowohl innere als auch externe Basisschicht den gleichen Bandabstand, wobei es schwierig ist, den Widerstand der externen Basisschicht ausreichend zu reduzieren. Das Ausführungsbeispiel gemäß Fig. 4 zielt auf eine Verringerung des Widerstands der externen Basisschicht ab. Den Teilen von Fig. 1M entsprechende Teile sind in Fig. 4 mit den gleichen Bezugsziffern wie vorher bezeichnet und nicht mehr im einzelnen erläutert. Beim vorliegenden Ausführungsbeispiel wird der Teil einer P-SiGe-Schicht 9, welcher nicht dem als interne Basisschicht dienenden Bereich entspricht, bis zu einer vorbestimmten Tiefe geätzt, wobei eine als externe Basisschicht dienende P⁺-SiGe-Schicht 24 durch selektives (epitaxiales) Aufwachsen auf dem geätzten Teil erzeugt wird. Die als externe Basisschicht dienende P⁺-SiGe-Schicht 24 ist dicker als die als innere oder interne Basisschicht dienende P-SiGe-Schicht 9 und besitzt eine höhere Ge-Konzentration als die Schicht 9. Genauer gesagt: während die Ge-Konzentration der Schicht 9 12 bis 13% beträgt, beträgt sie bei der P⁺-SiGe-Schicht 14 17 bis 18%.

Die Fig. 5A bis 5M veranschaulichen im einzelnen das Verfahren zur Herstellung des Bipolartransistors gemäß Fig. 4. Die Schritte gemäß den Fig. 5A bis 5G entsprechen denen gemäß den Fig. 1A bis 1G. Die Ge-Konzentration in der als interne Basisschicht dienenden SiGe-Schicht 9 beträgt 12 bis 13%, während ihre B-Konzentration etwa $1 \times 10^{19}/\text{cm}^3$ beträgt.

Nach einem CVD-Verfahren wird ein Siliziumoxidfilm 12 abgelagert, der — mit Ausnahme eines dem Emitterbereich entsprechenden Abschnitts — unter Verwendung einer nicht dargestellten Photoresistmaske nach einem RIE-Verfahren entfernt oder abgetragen wird. Anschließend wird die N⁺-Siliziumschicht 11 durch Ätzen entfernt, und es wird ein Teil der N-Siliziumschicht 10 geätzt (Fig. 5H). Die auf Fig. 5H folgenden Figuren sind vergrößerte Darstellungen wesentlicher Bereiche. Nach einem CVD-Verfahren wird ein Siliziumoxidfilm 13 abgelagert, welcher nach einem RIE-Verfahren so geätzt wird, daß ein Teil des Films 13 auf den Seitenwänden des Siliziumoxidfilms 12 und den Siliziumschichten 10 und 11 des Emitterbereiches zurückbleibt. Unter Verwendung der Siliziumoxidfilme 12 und 13 als Maske wird die N-Siliziumschicht 10 durch Ätzen entfernt und sodann die P-SiGe-Schicht 9 auf eine vorbestimmte Tiefe geätzt (Fig. 5I).

Auf der restlichen P-SiGe-Schicht 9 wird eine P-SiGe-Schicht 24 einer höheren Ge-Konzentration als derjenigen der P-SiGe-Schicht 9 (epitaxial) zum Aufwachsen gebracht (Fig. 5J). Diese P-SiGe-Schicht 24 bildet (später) eine externe Basisschicht und eine an diese anschließende Basisherausführelektrode. Die Schicht 24 besitzt eine Ge-Konzentration von etwa 17 bis 18%. Die Dicke der P-SiGe-Schicht 24 ist größer als diejenige der P-SiGe-Schicht 9, die ungeätzt unter dem Emitterbereich als interne Basisschicht verbleibt. Sodann wird eine nicht dargestellte Photoresistmaske so geformt, daß

sie den Emitterbereich, den externen Basisbereich und den Basisherausführelektrodenbereich bedeckt. Unter Verwendung der Photoresistmaske wird die SiGe-Schicht 24 geätzt, und die externe Basisschicht sowie der Basisherausführelektrodenbereich werden gemustert (Fig. 5K).

Anschließend wird nach einem CVD-Verfahren ein Siliziumoxidfilm 17 auf dem gesamten Gebilde abgelagert. Auf dem Film 17 wird eine Photoresistmaske 25 gebildet. Unter Verwendung der Maske 25 wird der Siliziumoxidfilm 17 geätzt, wobei eine Öffnung in einem Kollektorherausführbereich entsteht. Anschließend erfolgt zur Ausbildung einer N⁺-Schicht 16 im Kollektorherausführbereich eine Implantation von Arsenionen (Fig. 5L). Nach dem Entfernen der Photoresistmaske 25 wird der Siliziumoxidfilm 17 bis zu einer vorbestimmten Dicke geätzt, und es werden Emitter-, Basis- und Kollektorelektrodenöffnungen 18, 19 bzw. 20 geformt. Schließlich werden Emitter-, Basis- und Kollektormetallelektroden 21, 22 bzw. 23 geformt (vgl. 5M).

Die Fig. 6 und 7 veranschaulichen eine Fremdatomkonzentrationsverteilung bzw. eine Ge-Konzentrationsverteilung in Tiefenrichtung im Emitterbereich (Schnitt A-A' in Fig. 4) und im externen Basisbereich (Schnitt B-B' in Fig. 4) des Heteroübergang-Bipolartransistors gemäß diesem Ausführungsbeispiel.

Bei diesem Ausführungsbeispiel ist bezüglich der Basisschicht aus der SiGe-Legierung die Ge-Konzentration der externen Basisschicht höher eingestellt als diejenige der inneren oder internen Basisschicht, so daß der Bandabstand der externen Basisschicht kleiner (eingestellt) ist als derjenige der internen Basisschicht. Außerdem ist die Dicke der externen Basisschicht größer als die der internen Basisschicht. Infolgedessen ist der Widerstand der externen Basisschicht ausreichend niedrig, so daß der Transistor gemäß diesem Ausführungsbeispiel mit einer höheren Geschwindigkeit zu arbeiten vermag als der Transistor gemäß dem vorher beschriebenen Ausführungsbeispiel. Wie beim vorher beschriebenen Ausführungsbeispiel wird außerdem der Oxidfilm vor dem (epitaxialen) Aufwachsen der SiGe-Schicht in den Elementtrennbereich eingegraben bzw. eingelassen, so daß das Substrat eingeebnet wird und Basis und Emitter auf dem eingeebneten (bzw. flach ausgebildeten) Substrat erzeugt werden. Demzufolge wird der abgestufte Abschnitt oder Stufenabschnitt auf der Oberfläche verkleinert; außerdem wird eine hohe Zuverlässigkeit erzielt.

Fig. 8 veranschaulicht einen Heteroübergang-Bipolartransistor gemäß noch einem anderen Ausführungsbeispiel der Erfindung, wobei den vorher bereits beschriebenen Teile entsprechende Teile mit den gleichen Bezugsziffern wie vorher bezeichnet sind. Der Transistor gemäß Fig. 8 unterscheidet sich von dem nach Fig. 1 dadurch, daß die interne SiGe-Basisschicht eine erste SiGe-Schicht 9₁ im zentralen Teil und eine zweite SiGe-Schicht 9₂ im Umfangsteil aufweist. Erste und zweite SiGe-Schicht 9₁ bzw. 9₂ besitzen unterschiedliche Zusammensetzungen. Insbesondere besitzt die erste SiGe-Schicht 9₁ eine höhere Ge-Konzentration als die zweite SiGe-Schicht 9₂ und demzufolge einen kleineren Bandabstand (als letztere). Wie bei den vorher beschriebenen Ausführungsbeispielen umfaßt die Emitterschicht eine N-Siliziumschicht 10 und eine N⁺-Siliziumschicht 11.

Die Fig. 9A bis 9M veranschaulichen ein spezielles Verfahren zur Herstellung des Heteroübergang-Bipolartransistors gemäß Fig. 8. Da die Schritte nach den

Fig. 9A bis 9D den Schritten von Fig. 1A bis 1D entsprechen, kann auf ihre erneute Beschreibung verzichtet werden. Außerdem wird auch der Schritt des Eingrabens des Siliziumoxidfilms S in der Rille 4₂ zum Einebnen des Substrats auf dieselbe Weise, wie vorher beschrieben, durchgeführt. Im folgenden sind daher die nach diesem Vorgang stattfindenden Schritte beschrieben. Nach einem CVD-Verfahren wird eine 20% Ge enthaltende erste SiGe-Schicht 9₁ auf der N⁻-Schicht 3 (epitaxial) gezüchtet. Die erste SiGe-Schicht 9₁ wird mit Ausnahme eines Abschnitts, welcher dem zentralen Bereich der internen Basis entspricht, entfernt, worauf nach einem CVD-Verfahren ein Siliziumoxidfilm 31 auf dem so erhaltenen Gebilde abgelagert wird (Fig. 9G). Anschließend wird zum Einebnen des gesamten Gebildes ein nicht dargestelltes Photoresist aufgetragen; das Gesamtgebilde wird dann einem reaktiven Ionenätzen unterworfen, um damit die Oberfläche des Gebildes so einzuebnen, daß sie mit der Oberfläche der SiGe-Schicht 9₁ bündig abschließt. Ein nach einem CVD-Verfahren abgelagerter Siliziumnitridfilm 32 wird selektiv geätzt und gemustert, so daß er die erste SiGe-Schicht 9₁ und ihren peripheren internen Basiserzeugungsbereich bedeckt (Fig. 9H).

Der Siliziumoxidfilm 31 wird durch Naßätzen entfernt. Sodann wird wiederum nach einem CVD-Verfahren eine 10% Ge enthaltende zweite SiGe-Schicht 9₂ (epitaxial) zum Aufwachsen gebracht (Fig. 9I). Dabei dienen die Seitenfläche der ersten SiGe-Schicht 9₁ und die Oberfläche der N⁻-Schicht 3 als Keim für das epitaxiale Aufwachsen, wodurch das waagerechte Kristallwachstum der zweiten SiGe-Schicht 9₂ ermöglicht wird. Sodann wird der Siliziumnitridfilm 32 geätzt und (damit) entfernt; hierauf werden eine 50 nm dicke und als Emitterschicht dienende N-Siliziumschicht 10 sowie eine 100 nm dicke und als Emitterkontaktschicht dienende N⁺-Siliziumschicht 11 aufeinanderfolgend (epitaxial) zum Aufwachsen gebracht (Fig. 9J). Ein Siliziumoxidfilm 12 wird nach einem CVD-Verfahren abgelagert oder niedergeschlagen und so gemustert, daß nur ein dem Emitterbereich entsprechender Abschnitt zurückbleibt. Unter Verwendung des resultierenden Oxidfilms 12 als Maske wird die N⁺-Schicht 11 geätzt. Ein Siliziumoxidfilm 13 wird erneut nach einem CVD-Verfahren abgelagert und mit Ausnahme des Abschnitts auf der Seitenwand des Oxidfilms 12 und der N⁺-Schicht 11 entfernt. Unter Verwendung der Oxidfilme 12 und 13 als Maske erfolgt eine Borionenimplantation in den zweiten SiGe-Film 9₂, wodurch eine als externe Basissschicht dienende P⁺-Schicht 14 mit einer an die N⁻-Schicht 3 heranreichenden Tiefe entsteht (Fig. 9K).

Die P⁺-Schicht 14 wird geätzt und mit Ausnahme der Abschnitte, welche dem externen Basisbereich und dem Basiselektrodenherausführbereich entsprechen, entfernt. Danach werden eine Photoresistmaske 15 mit einer Öffnung am Kollektorherausführbereich geformt und As-Ionen implantiert, um eine an die vergrabene N⁺-Schicht 2 heranreichende N⁺-Diffusionsschicht 16 zu erzeugen (Fig. 9L). Nach dem Entfernen der Photoresistmaske 15 wird, wie bei den vorher beschriebenen Ausführungsbeispielen, ein Siliziumoxidfilm 17 abgelagert. Der Film 17 wird zur Ausbildung von Elektrodenöffnungen selektiv geätzt. Hierauf werden Emitter-, Basis- und Kollektor-Metallelektroden 21, 22 bzw. 23 geformt (Fig. 9M).

Beim Heteroübergang-Bipolartransistor gemäß diesem Ausführungsbeispiel weist die interne SiGe-Basissschicht, wie in Fig. 10 veranschaulicht, im zentralen Teil

9₁ und im Umfangsteil 9₂ unterschiedliche Ge-Konzentrationen auf. Der zentrale Teil der internen Basissschicht besitzt dabei eine höhere Ge-Konzentration und einen engeren oder kleineren Bandabstand. Der zentrale Teil der internen Basissschicht besitzt einen niedrigeren Widerstand, und die Barriere des Emitterübergangs ist am oder im zentralen Teil der internen Basissschicht kleiner als in ihrem Umfangsteil. Als Ergebnis können im Betrieb mit einer hohen Kollektorstromdichte ein Basispush-out-Effekt und eine Stromkonzentration an der internen Basis unterdrückt und dabei eine hohe Leistungsfähigkeit des Transistors erreicht werden. Vor dem epitaxialen Aufwachsen der Basissschicht wird das Substrat durch Ausbildung der Rille im Elementtrennbereich und Eingraben oder Einlassen des Oxidfilms in dieser Rille eingeebnet. Damit können, wie bei den vorher beschriebenen Ausführungsbeispielen, der Stufenabschnitt verkleinert und eine hohe Zuverlässigkeit erreicht werden.

Gemäß Fig. 9G wird die SiGe-Schicht 9₁ (epitaxial) zum Aufwachsen gebracht und gemustert, worauf der Siliziumoxidfilm 31 erzeugt wird. Der Schritt des (epitaxialen) Aufwachsens der SiGe-Schicht 9₁ und der Schritt der Erzeugung des Siliziumoxidfilms 31 können auch miteinander vertauscht werden.

Die Fig. 11A und 11B veranschaulichen die Schritte für diesen Fall. Nach dem Mustern der N⁻-Siliziumschicht 3 und dem Einebnen des Substrats mittels des Siliziumoxidfilms 8 wird der Siliziumoxidfilm 31 abgelagert oder niedergeschlagen. Unter Verwendung der Photoresistmaske 33 wird der Siliziumoxidfilm 31 selektiv geätzt, so daß eine Öffnung im zentralen Teil des internen Basisbereichs entsteht (Fig. 11A). Nach dem Entfernen der Photoresistmaske 33 wird auf der freigelegten Oberfläche der N⁻-Siliziumschicht 3 nach einem CVD-Verfahren eine erste SiGe-Schicht 9₁ (epitaxial) zum Aufwachsen gebracht. Die Dicke der SiGe-Schicht 9₁ entspricht dabei im wesentlichen der Dicke des Siliziumoxidfilms 31.

Sodann wird, wie bei den vorher beschriebenen Ausführungsbeispielen, ein Siliziumnitridfilm 32 über dem internen Basiserzeugungsbereich, die SiGe-Schicht 9₁ bedeckend, gemustert. Nach dem Ätzen und Entfernen des Siliziumoxidfilms 31 erfolgt ein epitaxiales Aufwachsen einer zweiten SiGe-Schicht 9₂ (Fig. 11B). Mittels dieses Vorgangs kann das gleiche Gebilde wie bei den Vorher beschriebenen Ausführungsbeispielen erhalten werden.

Fig. 12 veranschaulicht einen Heteroübergang-Bipolartransistor gemäß einem dritten Ausführungsbeispiel der Erfindung, wobei sowohl ein aktiver Basisbereich als auch ein externer Basisbereich aus SiGe-Schichten geformt sind. Insbesondere bestehen dabei ein zentraler Teil des aktiven Basisbereichs aus einer ersten SiGe-Schicht 9₁, ein peripherer oder Umfangsteil des aktiven Basisbereichs aus einer zweiten SiGe-Schicht 9₂ und ein externer Basisbereich aus einer dritten SiGe-Schicht 24. Der Bandabstand der ersten SiGe-Schicht 9₁ ist größer als derjenige der dritten SiGe-Schicht 24, während der Bandabstand der zweiten SiGe-Schicht 9₂ größer ist als derjenige der ersten SiGe-Schicht 9₁.

Der Aufbau gemäß dem dritten Ausführungsbeispiel wird auf die im folgenden beschriebene Weise erhalten. Zunächst wird — wie bei den vorher beschriebenen Ausführungsbeispielen — eine N⁻-Siliziumschicht 3 unter Zwischenfügung einer eingebetteten N⁺-Schicht 2 durch (epitaxiales) Aufwachsen auf einem P⁻-Siliziumsubstrat 1 erzeugt. Sodann wird eine erste Rille zum

Trennen eines Elements geformt, und in der Rille wird ein Siliziumoxidfilm 6 erzeugt. Anschließend wird eine undotierte polykristalline Siliziumschicht 7 zum Einbauen des erhaltenen Gebildes eingegraben bzw. eingelassen. Die N⁻-Schicht 3 wird zur Bildung einer zweiten Rille geätzt, jedoch mit Ausnahme derjenigen Abschnitte, welche dem Emitterbereich, dem Basisbereich und dem Kollektorherausföhrbereich entsprechen. Danach wird ein CVD-Siliziumoxidfilm 8 in die zweite Rille eingelassen. Anschließend werden wiederholt SiGe-Schichten abgelagert und gemustert, so daß der interne Basisbereich und der externe Basisbereich aus den ersten, zweiten und dritten SiGe-Schichten 9₁, 9₂ bzw. 24 unterschiedlicher Ge-Gehalte gebildet werden. Die Ge-Gehalte verringern sich in der Reihenfolge: dritte SiGe-Schicht 24, erste SiGe-Schicht 9₁ und zweite SiGe-Schicht 9₂. Im anschließenden Prozeß werden wie bei den vorher beschriebenen Ausführungsformen, eine Emitterschicht erzeugt, eine Kollektorherausföhrschicht gebildet und Elektroden 21, 22 und 23 geformt. Daraufhin ist die Herstellung des Transistors gemäß dem dritten Ausführungsbeispiel abgeschlossen.

Fig. 13 veranschaulicht eine Ge-Gehalts- bzw. -Konzentrationsverteilung und eine Bandabstandsverteilung im externen Basisbereich und internen Basisbereich beim Heteroübergang-Bipolartransistor gemäß dem dritten Ausführungsbeispiel. Wie aus Fig. 13 hervorgeht, liegt der Ge-Gehalt der ersten SiGe-Schicht 9₁ am bzw. im zentralen Teil des internen Basisbereichs bei 35%, während der Ge-Gehalt der zweiten SiGe-Schicht 9₂ im Umfangsteil des internen Basisbereichs bei 20% und der Ge-Gehalt der dritten SiGe-Schicht 24 am bzw. im externen Basisbereich bei 50% liegen.

Gemäß dem dritten Ausführungsbeispiel können die Vorteile der beiden vorher beschriebenen Ausführungsbeispiele gleichzeitig realisiert werden.

Die Erfindung ist nicht auf die vorstehend beschriebenen Ausführungsbeispiele beschränkt. Bei den beschriebenen Ausführungsbeispielen ändert sich beispielsweise die Ge-Konzentration in der als Basisschicht dienenden SiGe-Schicht nur in waagerechter Richtung; es ist jedoch auch möglich und vorteilhaft, die Ge-Konzentration in Tiefenrichtung zu ändern bzw. sich ändern zu lassen. Gemäß Fig. 6 ist z. B. die Ge-Konzentration in der internen Basisschicht an der Emittersseite niedriger und an der Kollektorseite höher; beim Ausführungsbeispiel gemäß Fig. 1 oder Fig. 8 kann allerdings die interne Basisschicht eine ähnliche Verteilung der Ge-Konzentration aufweisen. In diesem Fall ist der Bandabstand der internen Basisschicht an der Emittersseite größer als an der Kollektorseite. Dies bedeutet, daß in der internen Basisschicht ein elektrisches Feld zum Beschleunigen der vom Emitter her injizierten Elektronen erzeugt wird. Infolgedessen kann die Schalteroperation des Transistors mit noch höherer Geschwindigkeit stattfinden.

Obgleich sich die beschriebenen Ausführungsbeispiele auf Heteroübergang-Bipolartransistoren auf Siliziumbasis beziehen, ist die Erfindung auch für die Kombination anderer Halbleiter effektiv. Beispielsweise können AlGaAs für Emitter und Kollektor und GaAs für die Basis benutzt werden.

Weiterhin sind bei den beschriebenen Ausführungsbeispielen Heteroübergänge sowohl im Emitter- als auch im Kollektorübergang vorgesehen, doch kann die Erfindung ihre Vorteile auch dann entfalten, wenn der Heteroübergang nur im Emitterübergang oder im Kollektorübergang vorgesehen ist. Beispielsweise können eine SiGe-Schicht als Kollektor- und Basisschicht und

eine Si-Schicht als Emitterschicht benutzt werden. Wahlweise können eine SiGe-Schicht jeweils als Emitter- und Basisschicht und eine Si-Schicht als Kollektorschicht vorgesehen werden.

Patentansprüche

1. Verfahren zur Herstellung eines miniaturisierten Heteroübergang-Bipolartransistors, bei dem zumindest eine Emitter- oder eine Kollektorschicht aus einem Halbleitermaterial eines größeren Bandabstands als bei einem Material einer Basisschicht geformt ist, umfassend die folgenden Schritte:
Ausbilden einer als Kollektorschicht dienenden ersten Halbleiterschicht (3) eines ersten Leitungstyps auf einem Substrat (1),
Ausbilden einer als Basisschicht dienenden zweiten Halbleiterschicht (9) eines zweiten Leitungstyps auf der ersten Halbleiterschicht (3) und
Ausbilden einer als Emitterschicht dienenden dritten Halbleiterschicht (10) des ersten Leitungstyps auf der zweiten Halbleiterschicht (9), **dadurch gekennzeichnet**, daß das Verfahren den folgenden weiteren Schritt umfaßt:
vor der Ausbildung der zweiten Halbleiterschicht (9) erfolgendes Ätzen eines unnötigen oder nicht benötigten Abschnitts der ersten Halbleiterschicht (3) zur Bildung einer Rille (4₂) und Vergraben oder Einlassen einer Isolierschicht in der bzw. die Rille (4₂), und
daß die zweite Halbleiterschicht (9) so ausgebildet wird, daß sie sich von der ersten Halbleiterschicht (3) zu dem letztere umgebenden oder umschließenden Teil der Isolierschicht (8) erstreckt.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß nach der Ausbildung der ersten Halbleiterschicht (3) eine Feldisolierschicht (7) vergraben oder eingelassen wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß das Substrat (1) aus Silizium hergestellt ist, erste und dritte Halbleiterschicht (3 bzw. 10) Siliziumschichten sind, die zweite Halbleiterschicht (9) eine Silizium-Germanium-Legierungsschicht ist und die in der Rille (4₂) vergrabene Isolierschicht (8) eine CVD-Siliziumoxidschicht ist.
4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß die zweite Halbleiterschicht (9) eine Silizium-Germanium-Legierungsschicht ist, die eine solche Germaniumkonzentrationsverteilung in Dickenrichtung aufweist, daß die Germaniumkonzentration zur Emittersseite hin abnimmt.
5. Verfahren zur Herstellung eines miniaturisierten Heteroübergang-Bipolartransistors, bei dem zumindest eine Emitter- oder eine Kollektorschicht aus einem Halbleitermaterial eines größeren Bandabstands als bei einem Material einer Basisschicht geformt ist, umfassend die folgenden Schritte:
Ausbilden einer als Kollektorschicht dienenden ersten Halbleiterschicht (3) eines ersten Leitungstyps auf einem Substrat (1),
epitaxiales Aufwachsen einer als Basisschicht dienenden zweiten Halbleiterschicht (9) auf der ersten Halbleiterschicht (3) und
aufeinanderfolgendes Ausbilden einer dritten Halbleiterschicht (10) des ersten Leitungstyps, die zu einer Emitterschicht wird, und einer vierten Halbleiterschicht (11) des ersten Leitungstyps, die zu einer Emitterkontaktschicht wird, auf der Ober-

fläche der zweiten Halbleiterschicht (9), gekennzeichnet durch die folgenden weiteren Schritte:

Ätzen eines unnötigen oder nicht benötigten Teils der ersten Halbleiterschicht (3) zur Ausbildung einer Rille (4₂) und Vergraben oder Einlassen einer ersten Isolierschicht (8) in der bzw. die Rille (4₂), epitaxiales Aufwachsen der zweiten Halbleiterschicht (9) in der Weise, daß sie sich von der ersten Halbleiterschicht (3) zu dem letztere umgebenden Teil der Isolierschicht (8) erstreckt, Mustern einer zweiten Isolierschicht (12) auf der vierten Halbleiterschicht (11) zur Abdeckung des Emitterbereichs und unter Verwendung der zweiten Isolierschicht (12) als Maske erfolgendes Ätzen und Entfernen oder Abtragen der vierten Halbleiterschicht (11),

selektives Ausbilden einer dritten Isolierschicht (13) auf einer Seitenwand eines Schichtgebildes aus der vierten Halbleiterschicht (11) und der zweiten Isolierschicht (12) sowie

Dotieren von zweiter und dritter Halbleiterschicht (9; 10) mit einem Fremdatom unter Verwendung von zweiter und dritter Isolierschicht (12; 13) als Maske, um damit eine externe Basisschicht des zweiten Leitungstyps zu formen.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß es weiterhin einen Schritt eines Vergrabens oder Einlassens einer Feldisolierschicht (7) nach dem Schritt der Ausbildung der ersten Halbleiterschicht (3) umfaßt.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß das Substrat (1) aus Silizium hergestellt ist, erste, dritte und vierte Halbleiterschichten (3, 10, 11) Siliziumschichten sind, die zweite Halbleiterschicht (9) eine Silizium-Germanium-Legierungsschicht ist und die in die Rille (4₂) eingelassene erste Isolierschicht (8) eine CVD-Siliziumoxidschicht ist.

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die zweite Halbleiterschicht (9) eine Silizium-Germanium-Legierungsschicht ist, die eine solche Germaniumkonzentrationsverteilung in Dickenrichtung aufweist, daß die Germaniumkonzentration zur Emittersseite hin abnimmt.

9. Verfahren zur Herstellung eines miniaturisierten Heteroübergang-Bipolartransistors, bei dem zumindest eine Emitter- oder eine Kollektorschicht aus einem Halbleitermaterial eines größeren Bandabstands als bei einem Material einer Basisschicht geformt ist, umfassend die folgenden Schritte:

Ausbilden einer als Kollektorschicht dienenden ersten Halbleiterschicht (3) eines ersten Leitungstyps auf einem Substrat (1),

epitaxiales Aufwachsen einer als Basisschicht dienenden zweiten Halbleiterschicht (9) auf der ersten Halbleiterschicht (3) und

aufeinanderfolgendes Ausbilden einer dritten Halbleiterschicht (10) des ersten Leitungstyps, die zu einer Emitterschicht wird, und einer vierten Halbleiterschicht (11) des ersten Leitungstyps, die zu einer Emitterkontaktschicht wird, auf der Oberfläche der zweiten Halbleiterschicht (9), gekennzeichnet durch die folgenden weiteren Schritte:

Ätzen eines unnötigen oder nicht benötigten Abschnitts der ersten Halbleiterschicht (3) zur Ausbildung einer Rille (4₂) und Vergraben oder Einlassen einer ersten Isolierschicht (8) in der bzw. die Rille (4₂),

epitaxiales Aufwachsen der zweiten Halbleiterschicht (9) in der Weise, daß sie sich von der ersten Halbleiterschicht (3) zu dem letztere umgebenden Teil der Isolierschicht (8) erstreckt,

Mustern einer zweiten Isolierschicht (12) auf der vierten Halbleiterschicht (11) zwecks Abdeckung des Emitterbereichs und unter Verwendung der zweiten Isolierschicht (12) als Maske erfolgendes Ätzen und Entfernen der vierten Halbleiterschicht (11),

selektives Ausbilden einer dritten Isolierschicht (13) auf einer Seitenwand eines Schichtgebildes aus vierter Halbleiterschicht (11) und zweiter Isolierschicht (12),

Ätzen und Entfernen bzw. Abtragen der dritten Halbleiterschicht (10) unter Verwendung der zweiten und dritten Isolierschichten (12, 13) als Maske und anschließendes Ätzen der zweiten Halbleiterschicht (9) bis zu einer vorbestimmten Dicke,

epitaxiales Aufwachsen einer als externe Basisschicht dienenden fünften Halbleiterschicht (24) auf der restlichen zweiten Halbleiterschicht (9), wobei die fünfte Halbleiterschicht (24) einen engeren bzw. kleineren Bandabstand als die zweite Halbleiterschicht (9) und eine größere Dicke als die zweite Halbleiterschicht (9) aufweist, sowie Dotieren der fünften Halbleiterschicht (24) mit einem Fremdatom zwecks Ausbildung einer externen Basisschicht des zweiten Leitungstyps.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß es weiterhin einen Schritt eines Vergrabens oder Einlassens einer Feldisolierschicht (7) nach dem Schritt der Ausbildung der ersten Halbleiterschicht (3) umfaßt.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß das Substrat (1) aus Silizium hergestellt ist, erste, dritte und vierte Halbleiterschichten (3, 10 bzw. 11) Siliziumschichten sind, die zweite Halbleiterschicht (9) eine erste Silizium-Germanium-Legierungsschicht ist, die fünfte Halbleiterschicht (24) eine zweite Silizium-Germanium-Legierungsschicht mit einer höheren Germaniumkonzentration als die erste Silizium-Germanium-Legierungsschicht ist und die in die Rille (4₂) eingelassene Isolierschicht (8) eine CVD-Siliziumoxidschicht ist.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß die zweite Halbleiterschicht (9) eine Silizium-Germanium-Legierungsschicht ist, die eine solche Germaniumkonzentrationsverteilung in Dickenrichtung aufweist, daß die Germaniumkonzentration zur Emittersseite hin abnimmt.

13. Verfahren zur Herstellung eines miniaturisierten Heteroübergang-Bipolartransistors, bei dem zumindest eine Emitter- oder eine Kollektorschicht aus einem Halbleitermaterial eines größeren Bandabstands als bei einem Material einer Basisschicht geformt ist, umfassend die folgenden Schritte:

Ausbilden einer als Kollektorschicht dienenden ersten Halbleiterschicht (3) eines ersten Leitungstyps auf einem Substrat (1),

Ausbilden einer internen oder inneren Basisschicht (9) und einer externen Basisschicht (14) auf der ersten Halbleiterschicht (3) und

Ausbilden einer Emitterschicht (10) auf der internen Basisschicht (9), gekennzeichnet durch folgende weitere Schritte:

Ätzen eines unnötigen oder nicht benötigten Abschnitts der ersten Halbleiterschicht (3) zwecks

Ausbildung einer Rille (4₂) und Vergraben oder Einlassen einer ersten Isolierschicht (8) in der bzw. die Rille (4₂).

epitaxiales Aufwachsen einer als interne Basis-
schicht (9) dienenden zweiten Halbleiterschicht (9₁)
auf der ersten Halbleiterschicht (3) und dem letz-
tere umgebenden Teil der Isolierschicht (8) sowie
Mustern der zweiten Halbleiterschicht (9₁) in der
Weise, daß letztere an oder in einem zentralen Teil
eines internen Basisbereichs zurückbleibt.

epitaxiales Aufwachsen einer als eine zweite inter-
ne Basisschicht (9) dienenden dritten Halbleiter-
schicht (9₂), kontinuierlich an den Umfang der ge-
musterten zweiten Halbleiterschicht (9₁) anschlie-
ßend,

aufeinanderfolgendes Ausbilden einer vierten
Halbleiterschicht (10) des ersten Leitungstyps, die
zu einer Emitterschicht wird, und einer fünften
Halbleiterschicht (11) des ersten Leitungstyps, die
zu einer Emittterkontaktschicht wird, auf den Ober-
flächen von zweiter und dritter Halbleiterschicht
(9₁ bzw. 9₂),

Mustern einer zweiten Isolierschicht (12) auf der
fünften Halbleiterschicht (11) zwecks Abdeckung
des Emittterbereichs und unter Verwendung der
zweiten Isolierschicht (12) als Maske erfolgendes
Ätzen und Entfernen oder Abtragen der fünften
Halbleiterschicht (11),

selektives Ausbilden einer dritten Isolierschicht
(13) auf einer Seitenwand eines Schichtgebildes aus
fünfter Halbleiterschicht (11) und zweiter Isolier-
schicht (12) sowie

Dotieren der dritten und vierten Schichten (9, 10)
mit einem Fremdatom unter Benutzung der zwei-
ten und dritten Isolierschichten (12, 13) als Maske
zwecks Ausbildung einer externen Basisschicht (14)
des zweiten Leitungstyps.

14. Verfahren nach Anspruch 13, dadurch gekenn-
zeichnet, daß nach der Ausbildung der ersten Halb-
leiterschicht (3) eine Feldisolierschicht (7) vergra-
ben oder eingelassen wird.

15. Verfahren nach Anspruch 14, dadurch gekenn-
zeichnet, daß das Substrat (1) aus Silizium herge-
stellt ist, erste, vierte und fünfte Halbleiterschichten
(3, 10 bzw. 11) Siliziumschichten sind, die zweite
Halbleiterschicht (9₁) eine erste Silizium-Germani-
um-Legierungsschicht ist, die dritte Halbleiter-
schicht (9₂) eine zweite Silizium-Germanium-Le-
gierungsschicht mit einer höheren Germaniumkon-
zentration als bei der ersten Silizium-Germanium-
Legierungsschicht ist und die in die Rille (4₂) einge-
lassene Isolierschicht (8) eine CVD-Siliziumoxid-
schicht ist.

16. Verfahren nach Anspruch 15, dadurch gekenn-
zeichnet, daß die zweite Halbleiterschicht (9₁) eine
Silizium-Germanium-Legierungsschicht ist, die ei-
ne solche Germaniumkonzentrationsverteilung in
Dickentrachtung aufweist, daß die Germaniumkon-
zentration zur Emittterseite hin abnimmt.

Hierzu 22 Seite(n) Zeichnungen

60

65

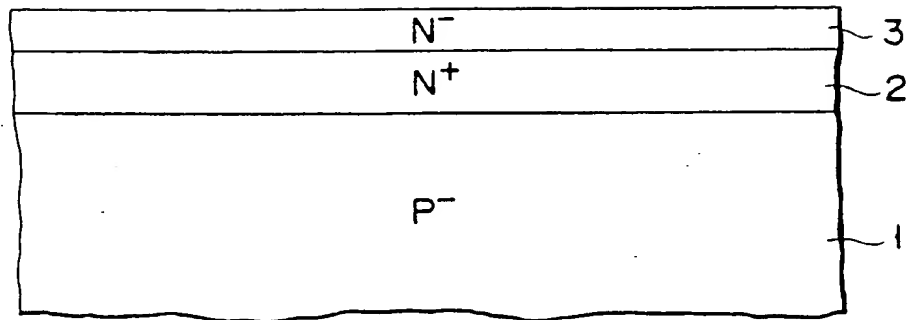


FIG. 1A

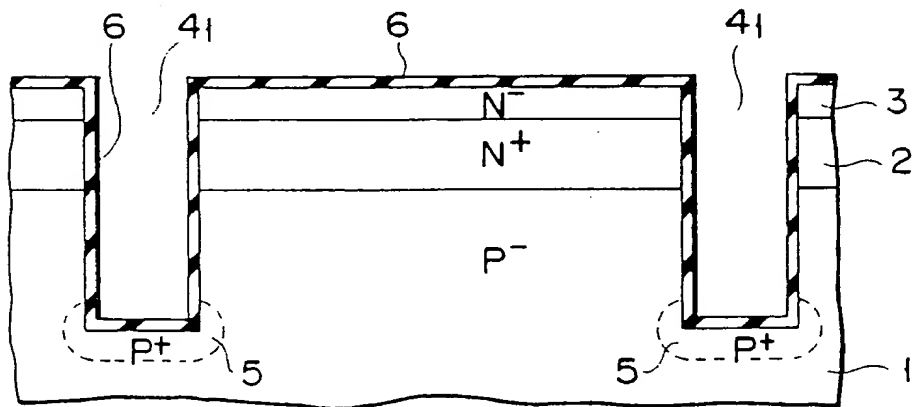


FIG. 1B

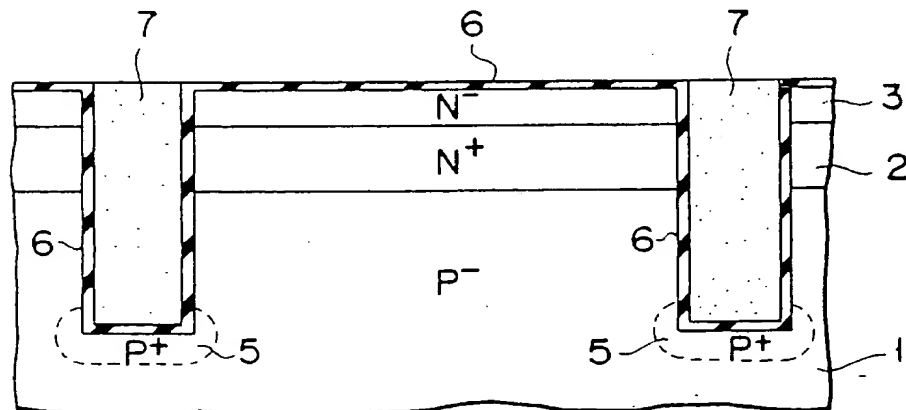


FIG. 1C

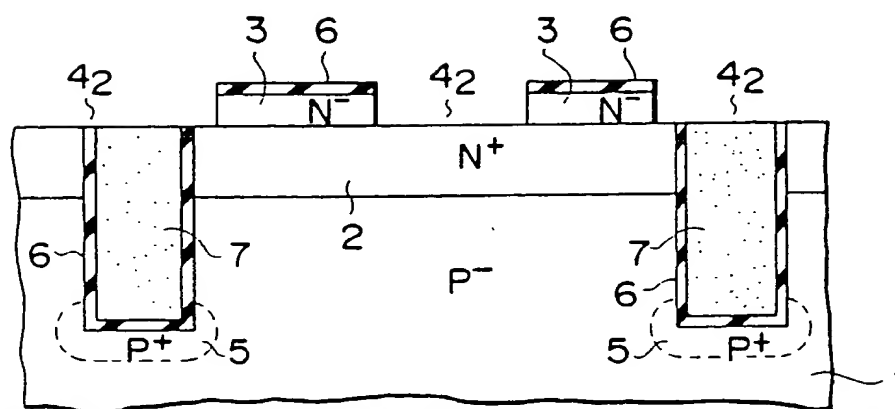


FIG. 1D

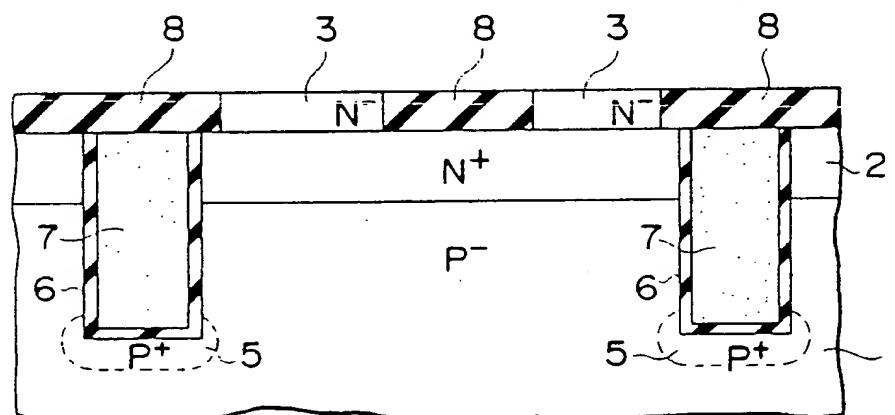


FIG. 1E

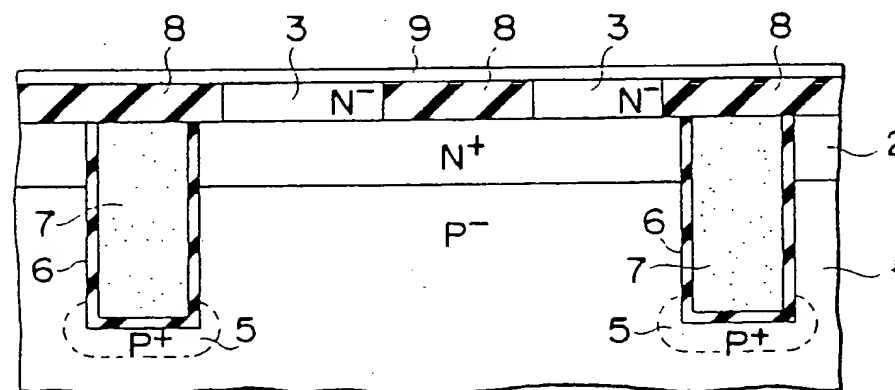
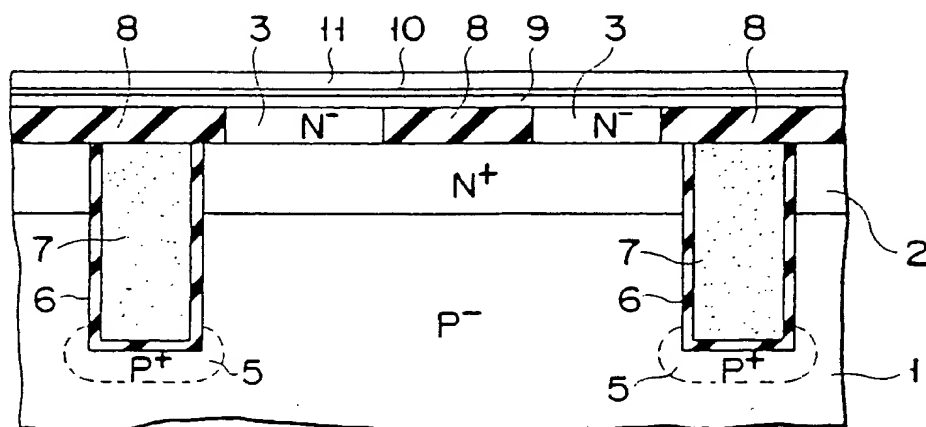
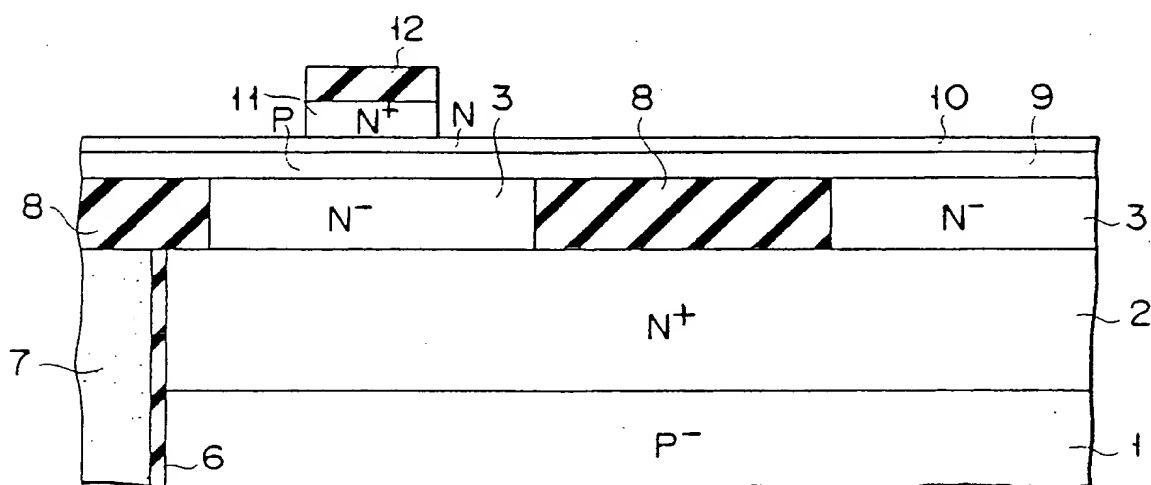


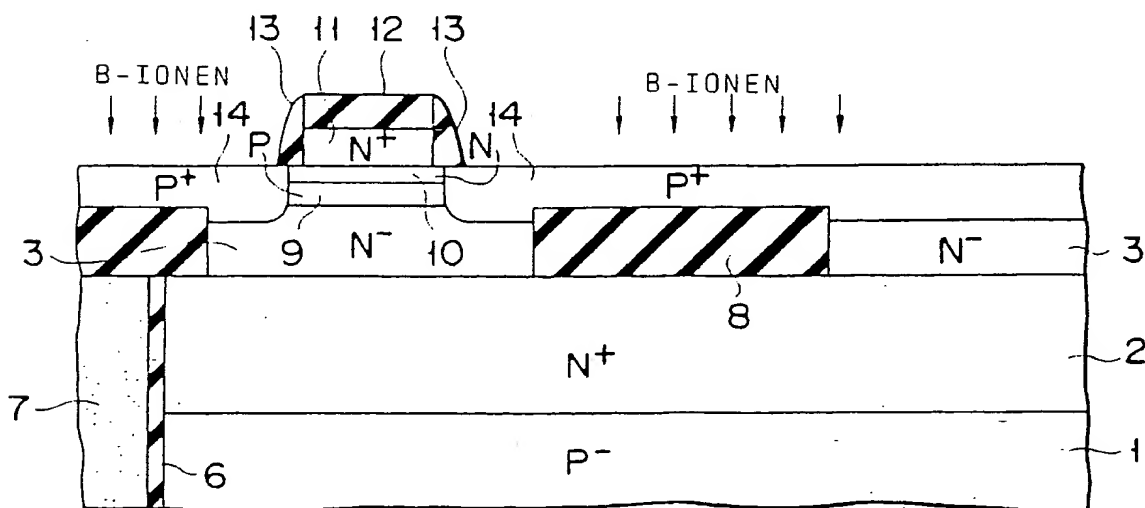
FIG. 1F



F I G. 1G



F I G. 1H



F I G. 11

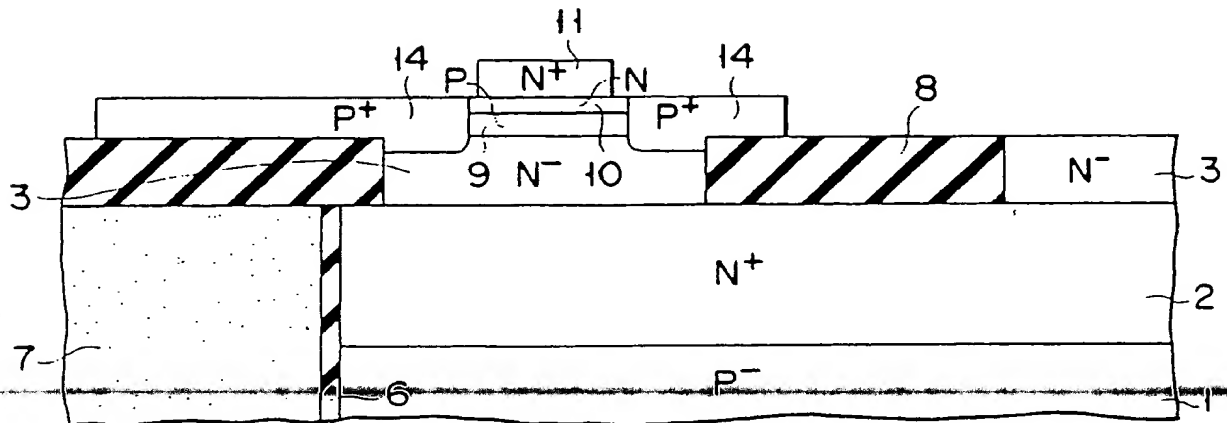


FIG. 1J

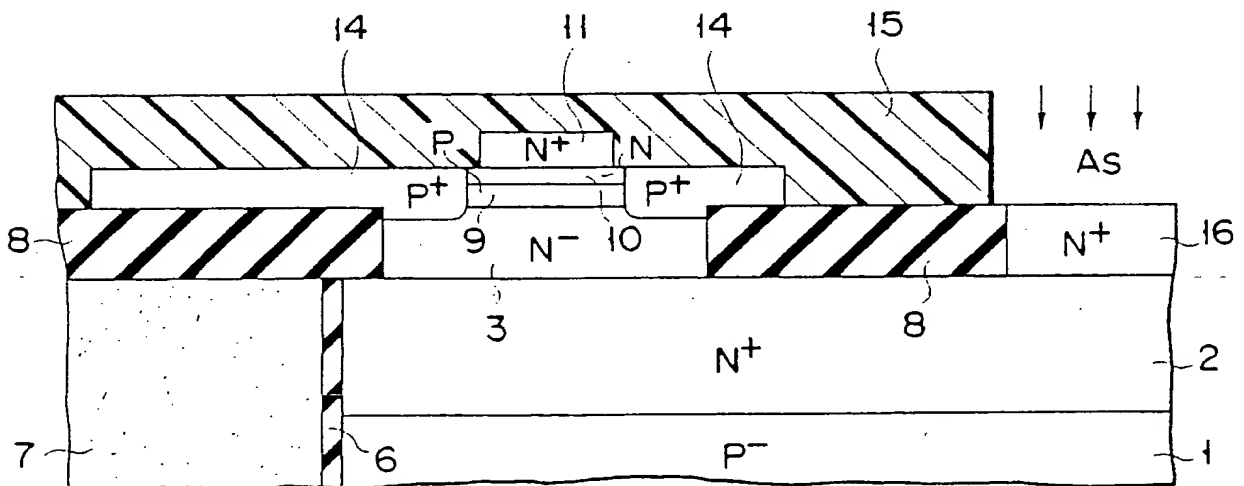
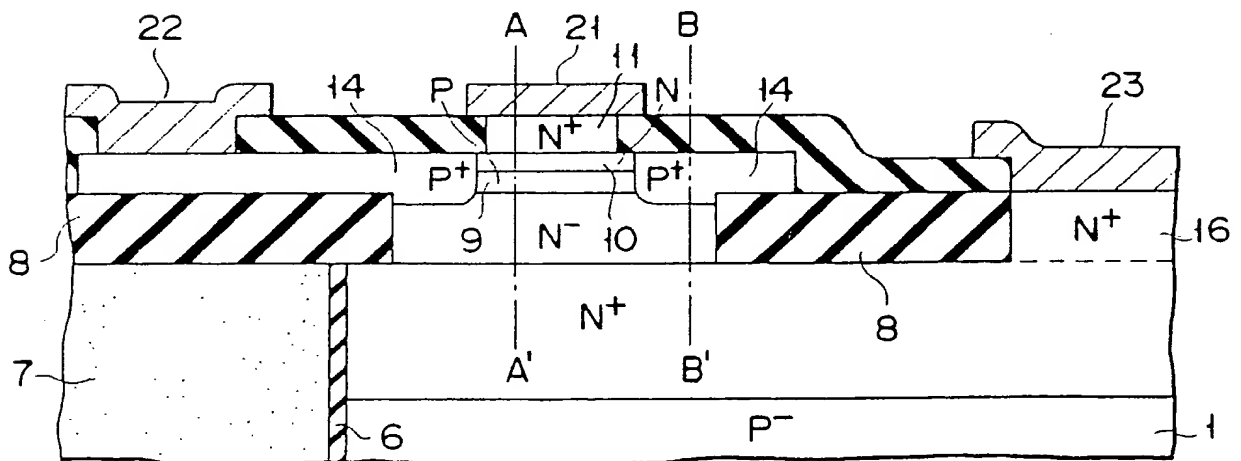
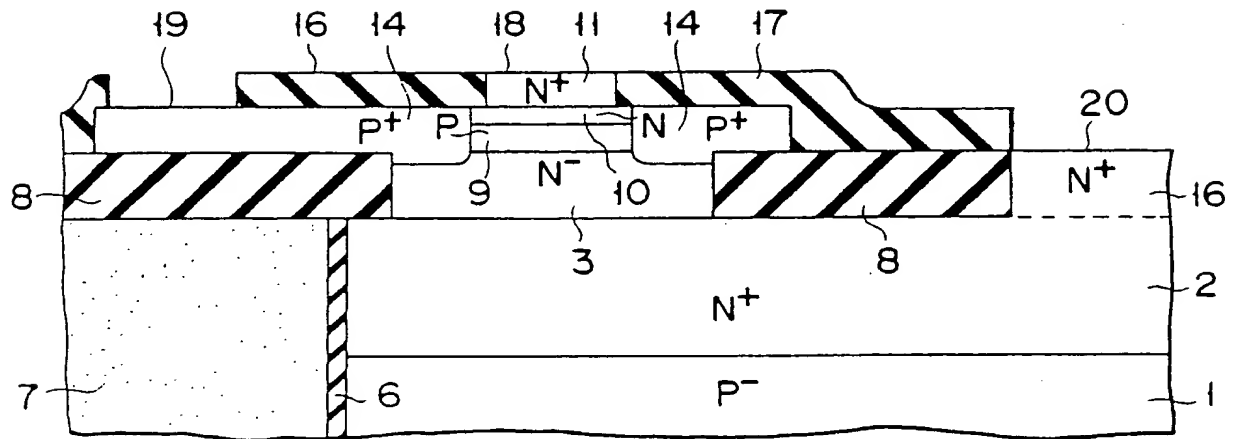


FIG. 1K



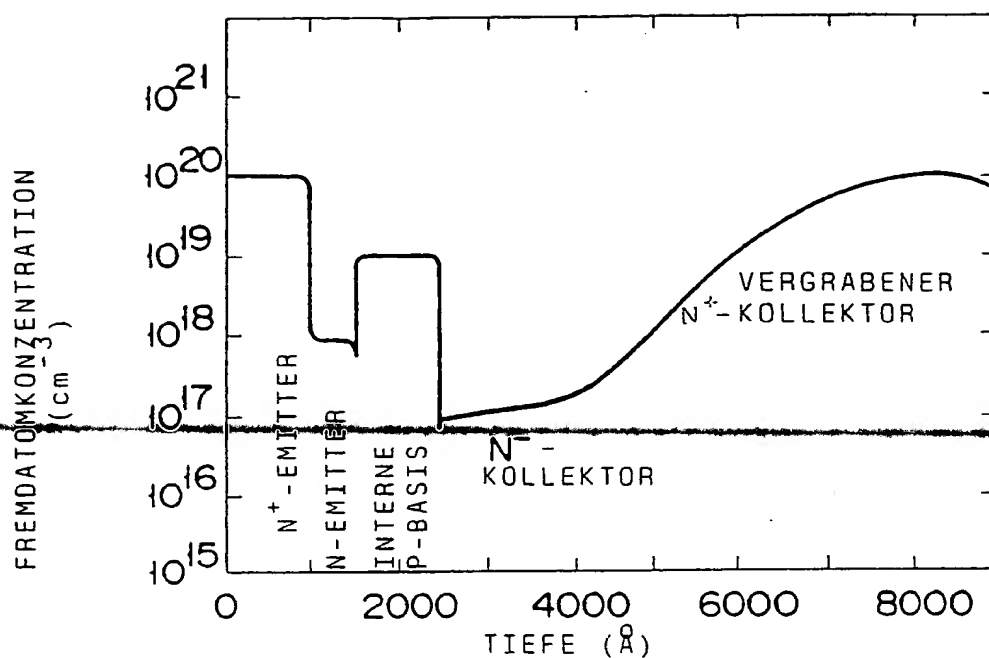


FIG. 2

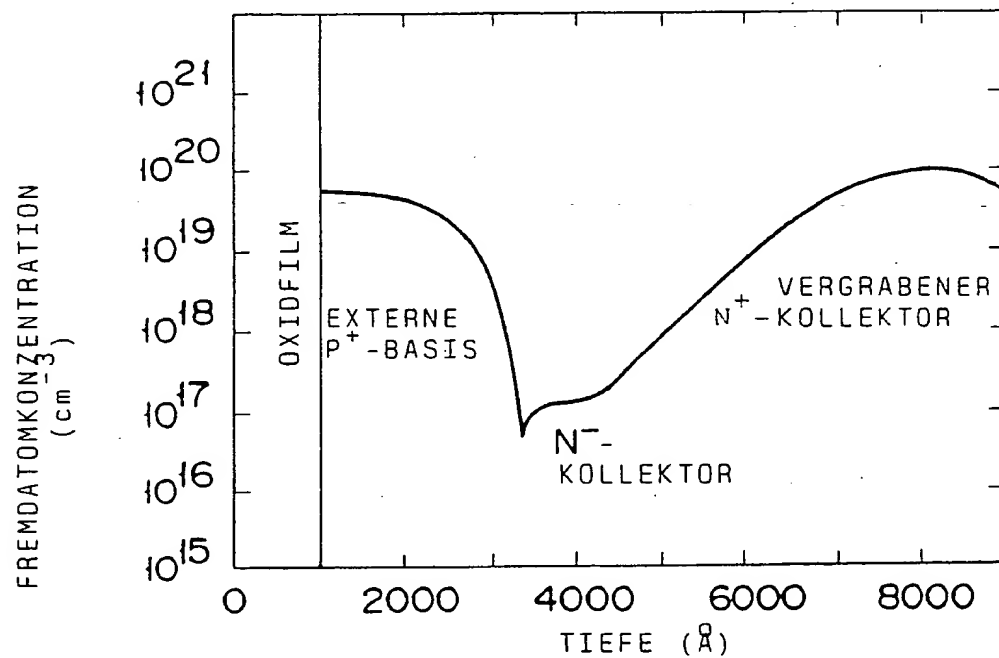
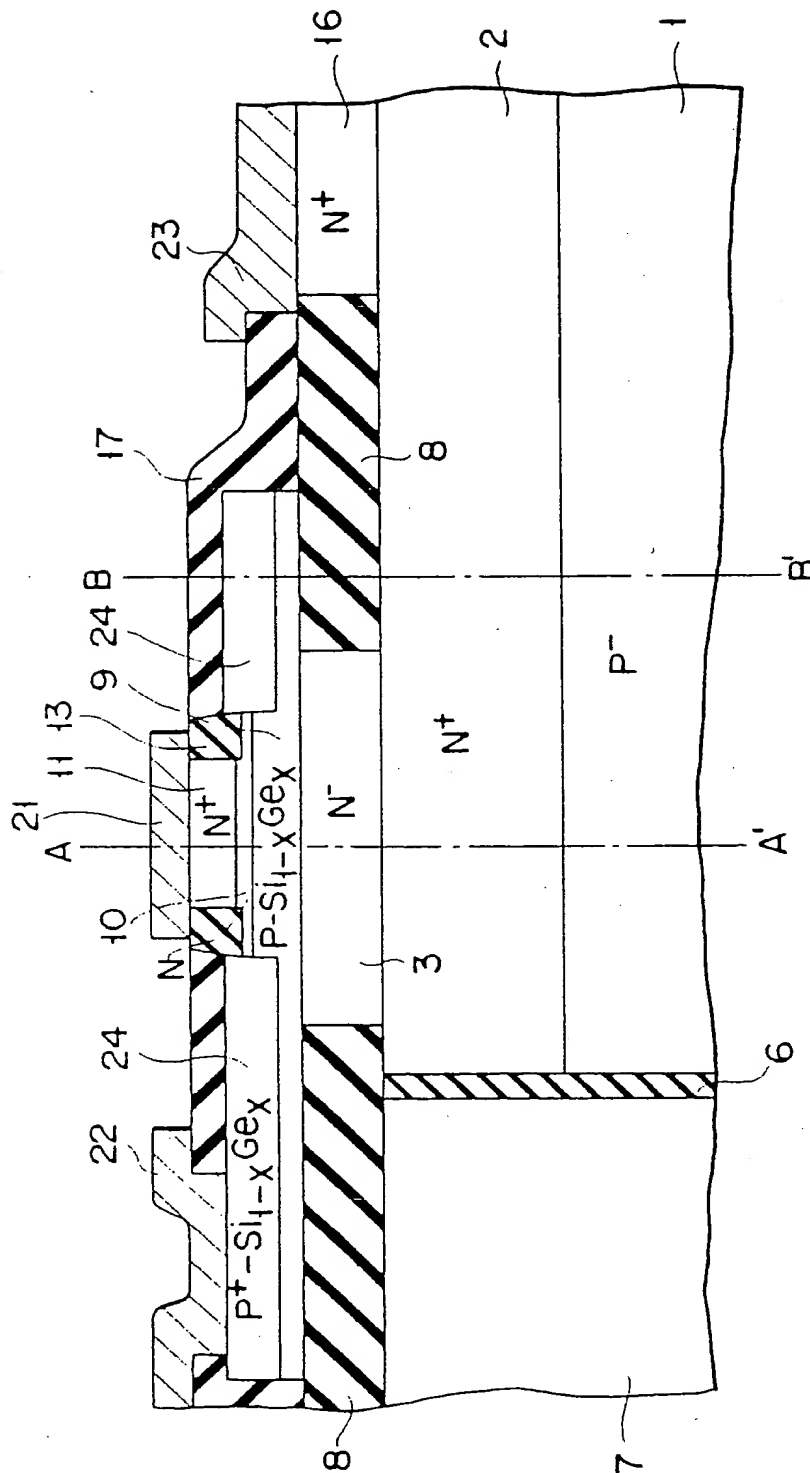


FIG. 3



4
G
-
E

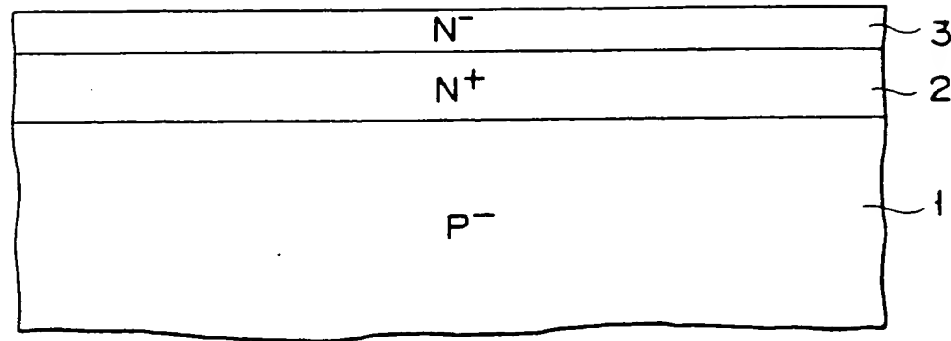


FIG. 5A

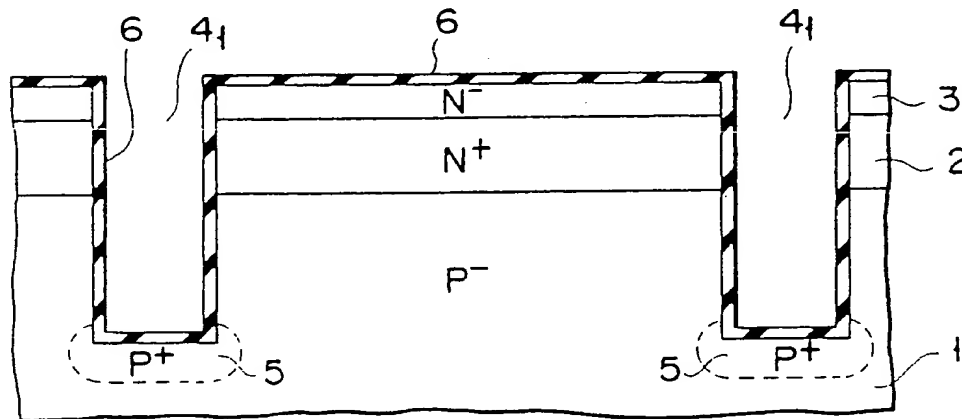


FIG. 5B

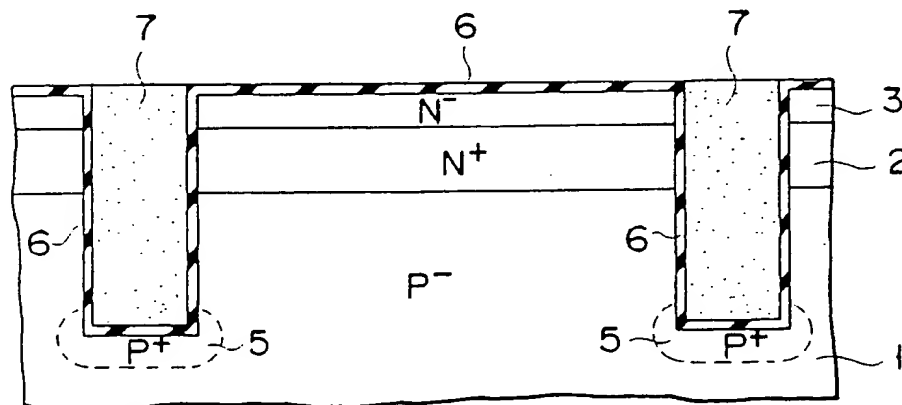


FIG. 5C

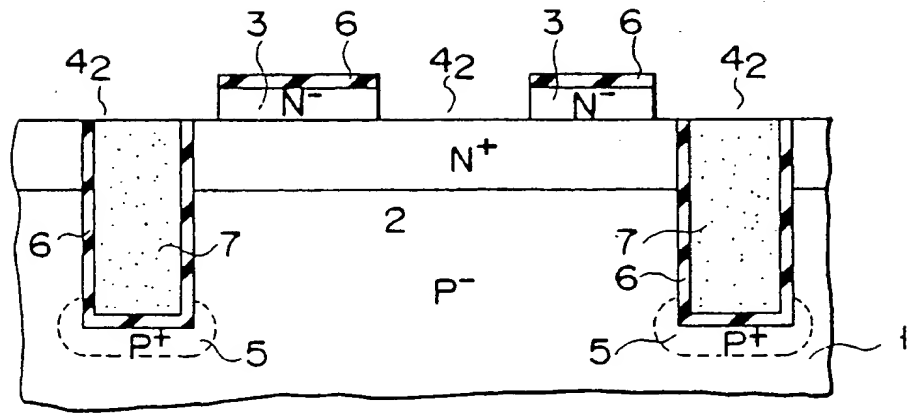


FIG. 5D

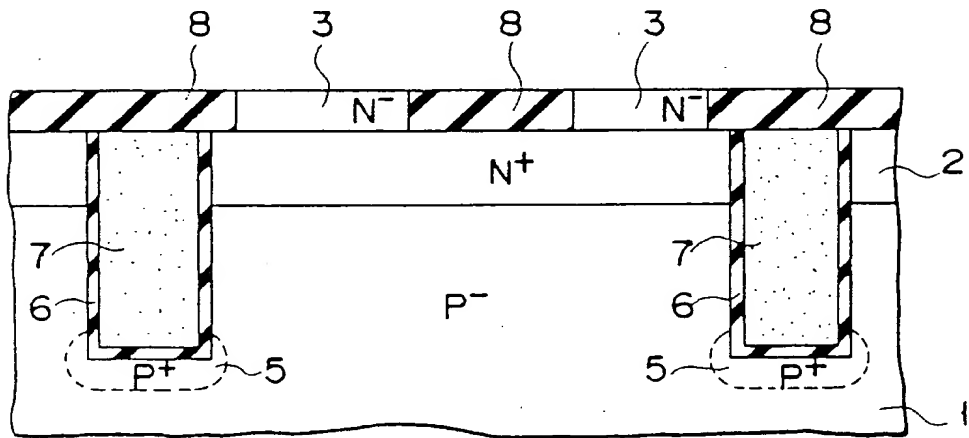


FIG. 5E

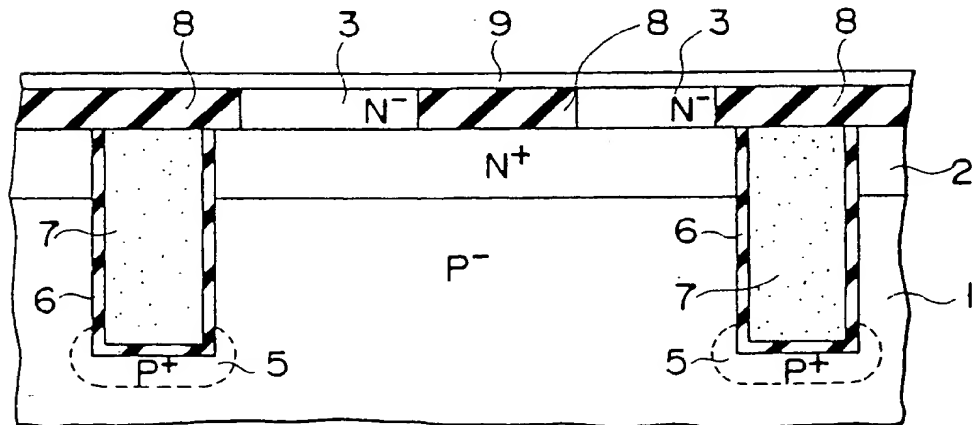
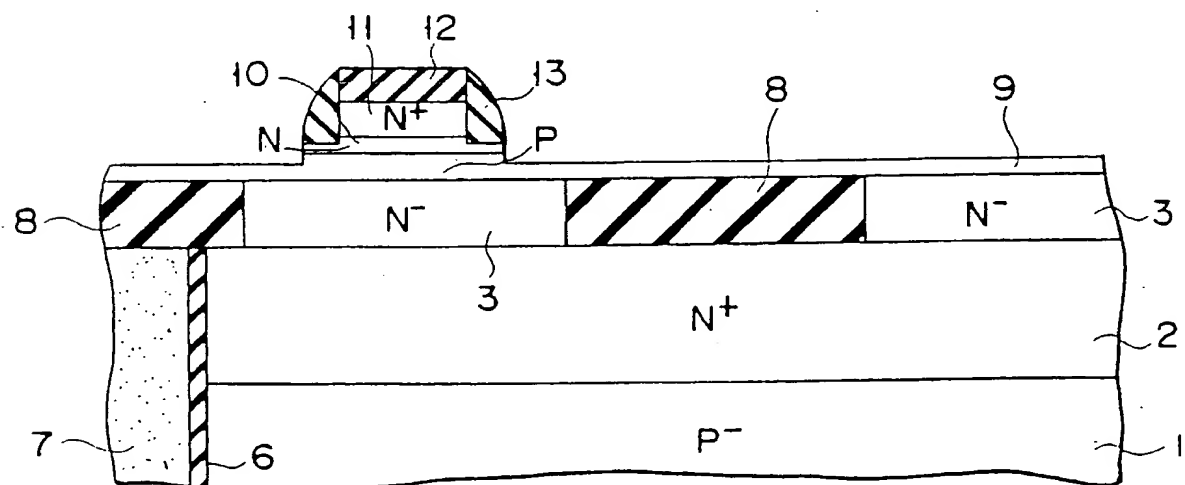
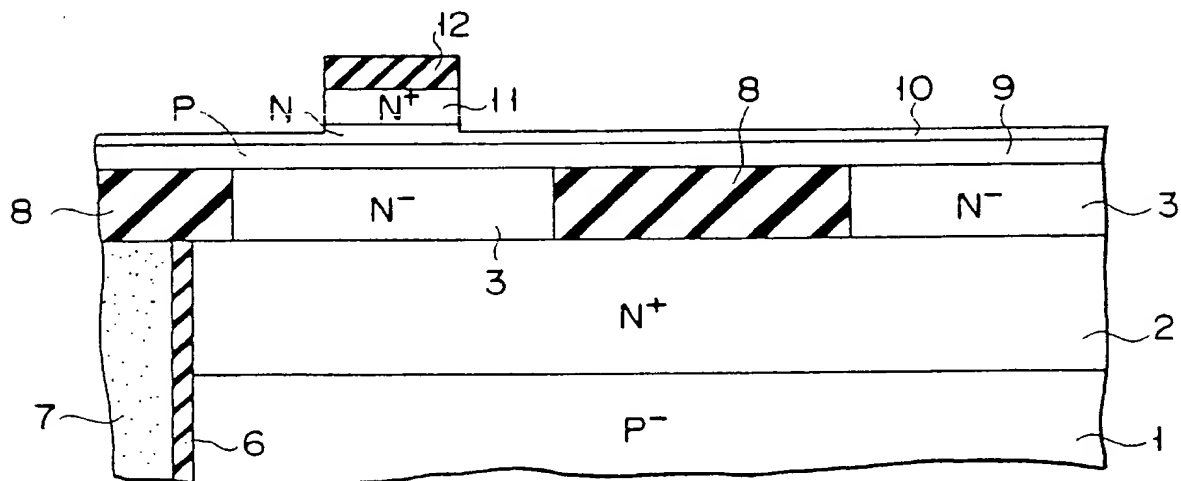
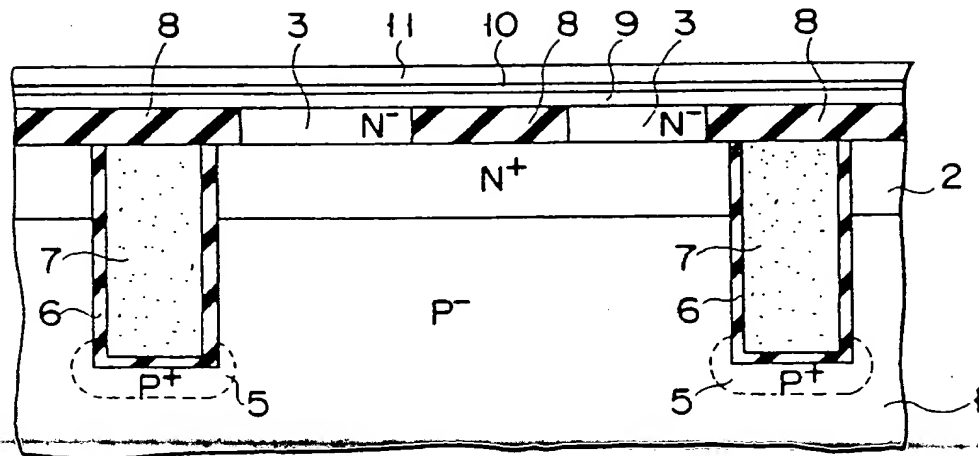


FIG. 5F



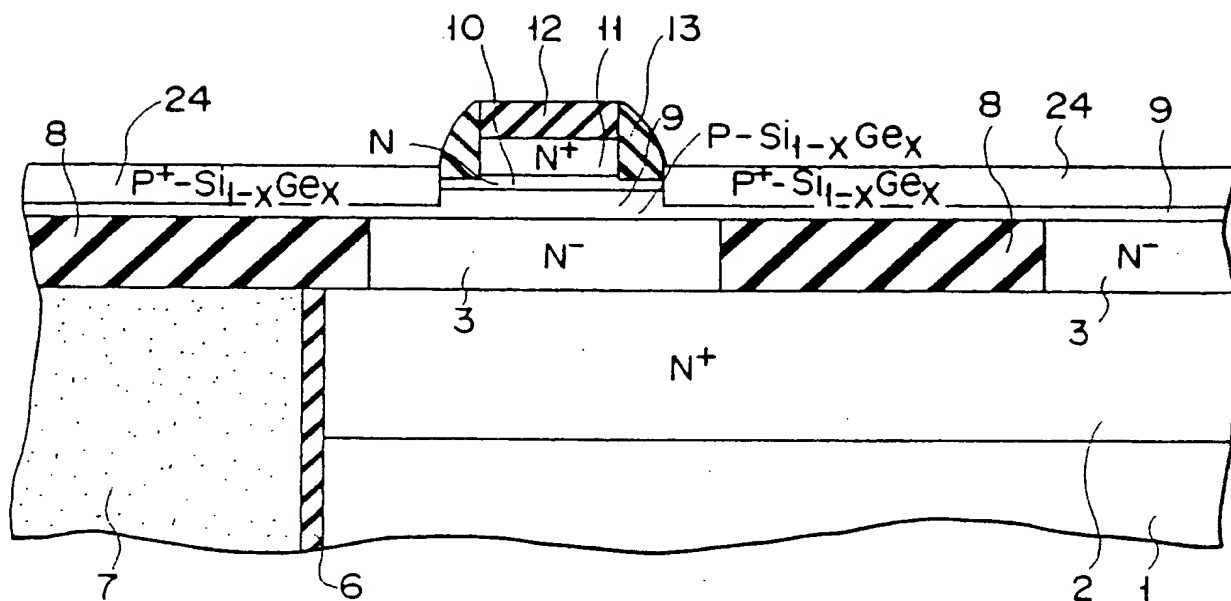


FIG. 5J

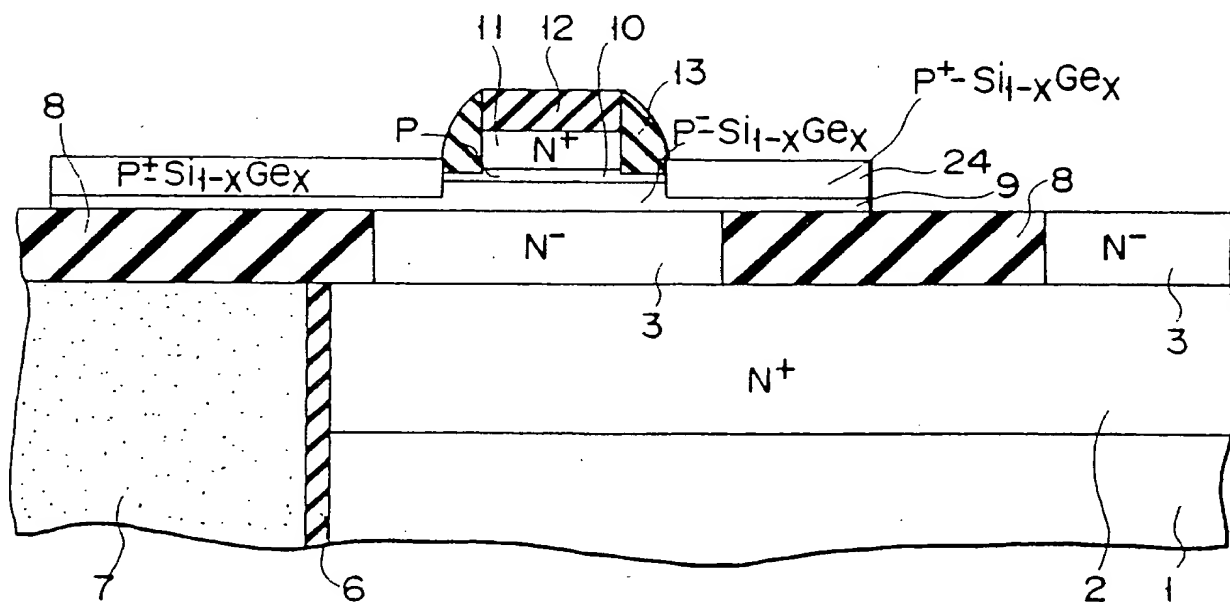
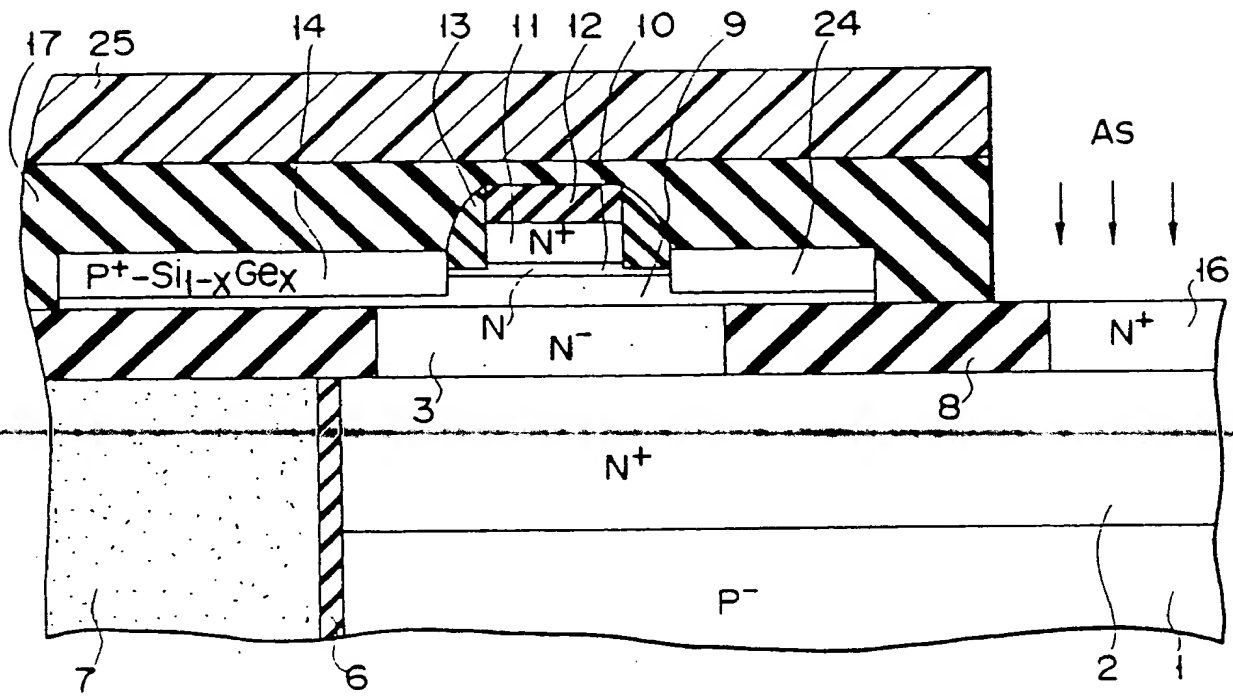
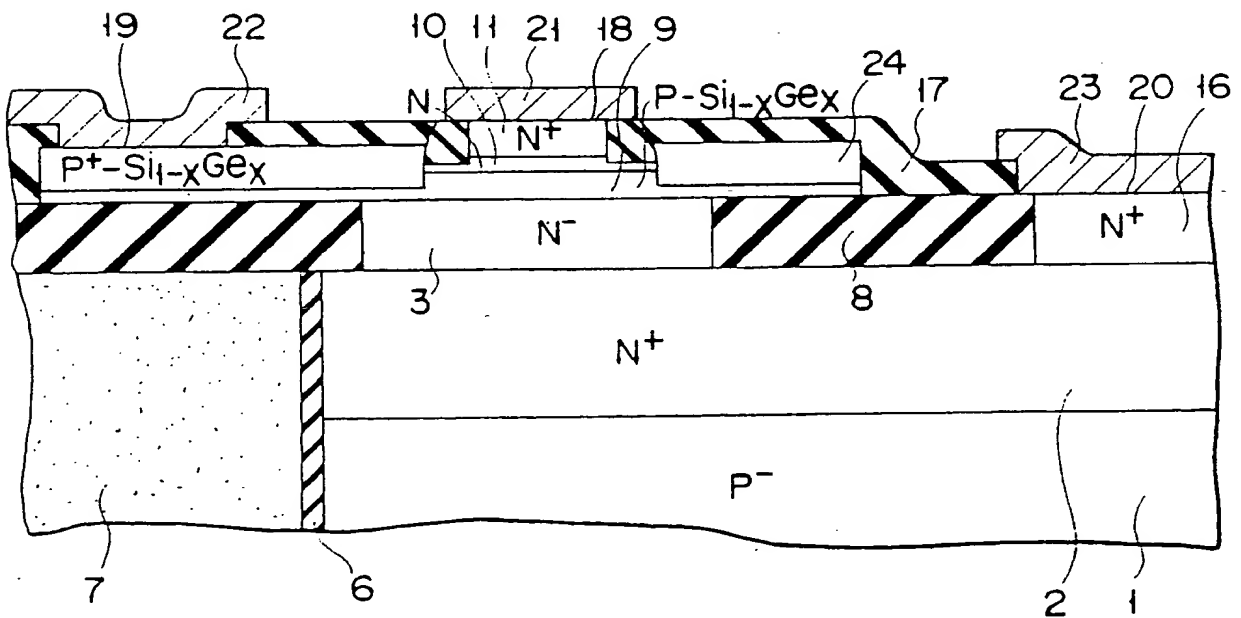


FIG. 5K



F I G. 5L



F I G. 5M

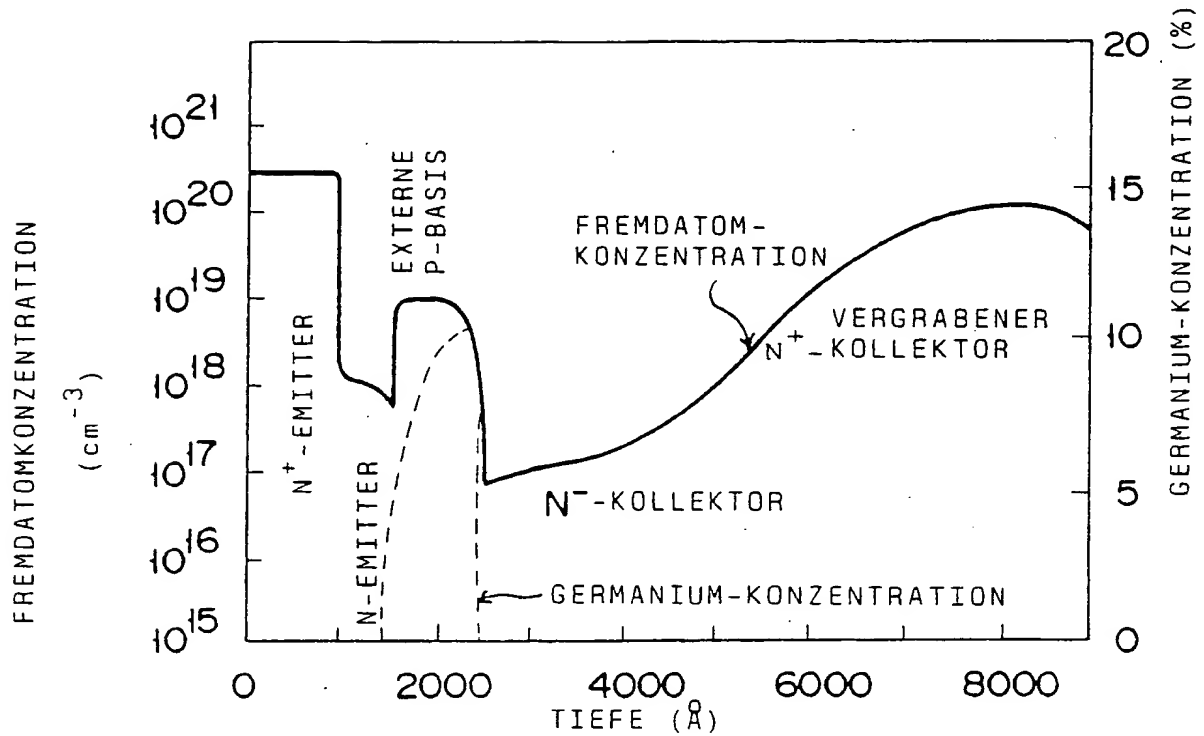


FIG. 6

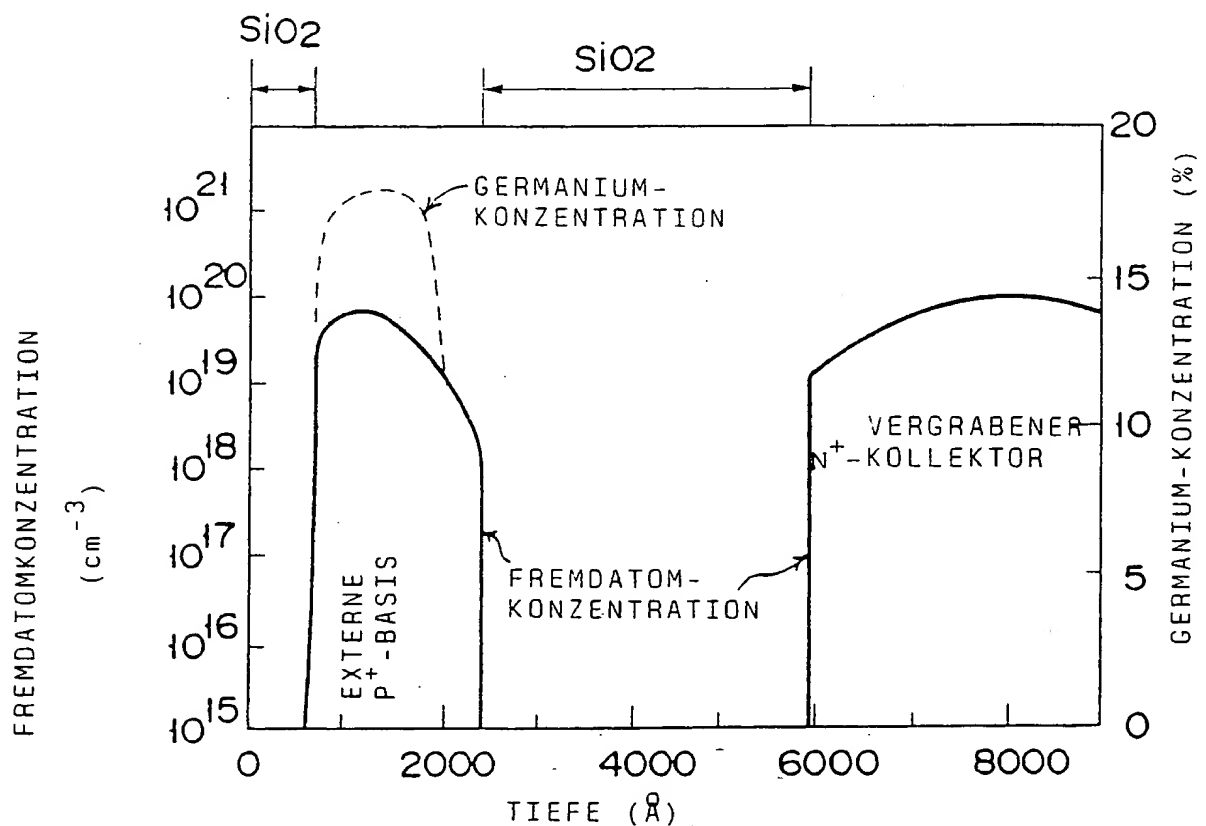
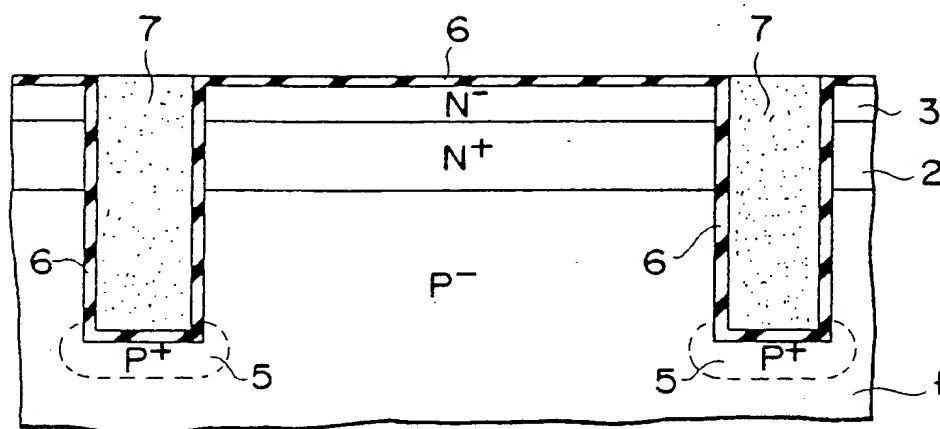
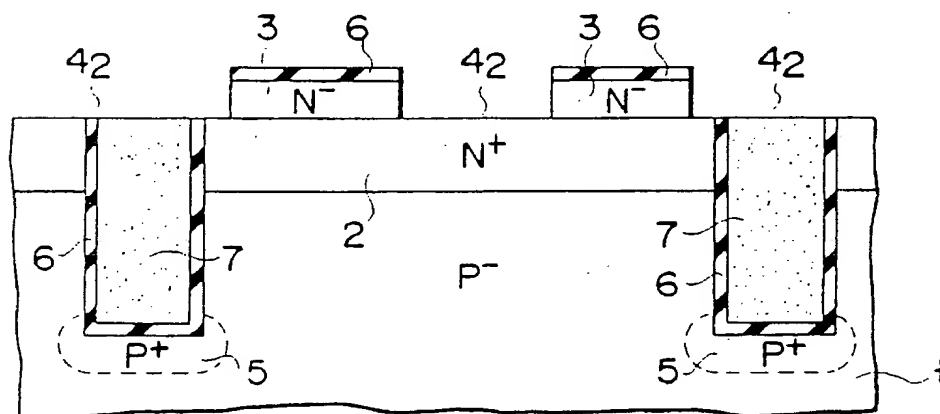


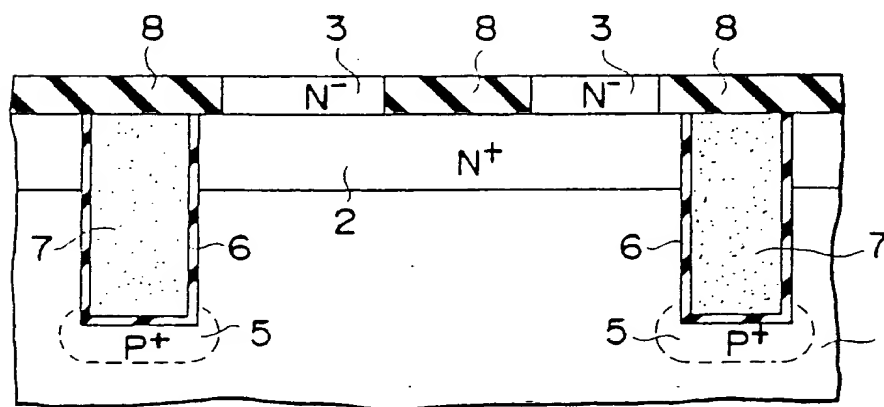
FIG. 7



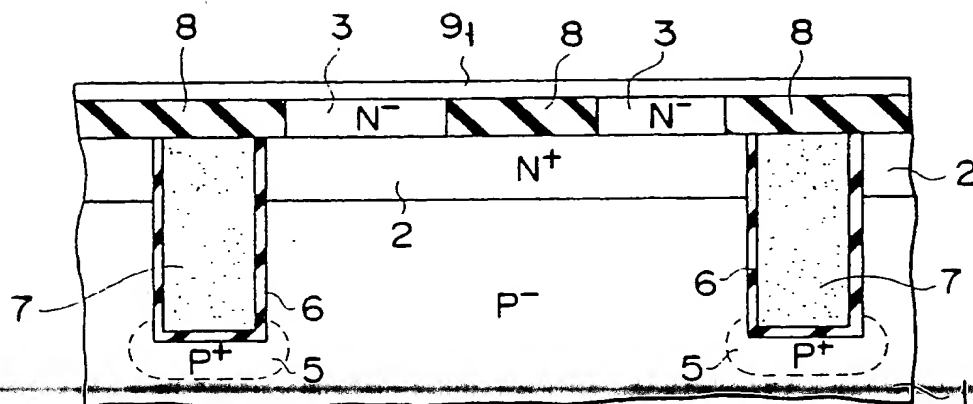
F I G. 9C



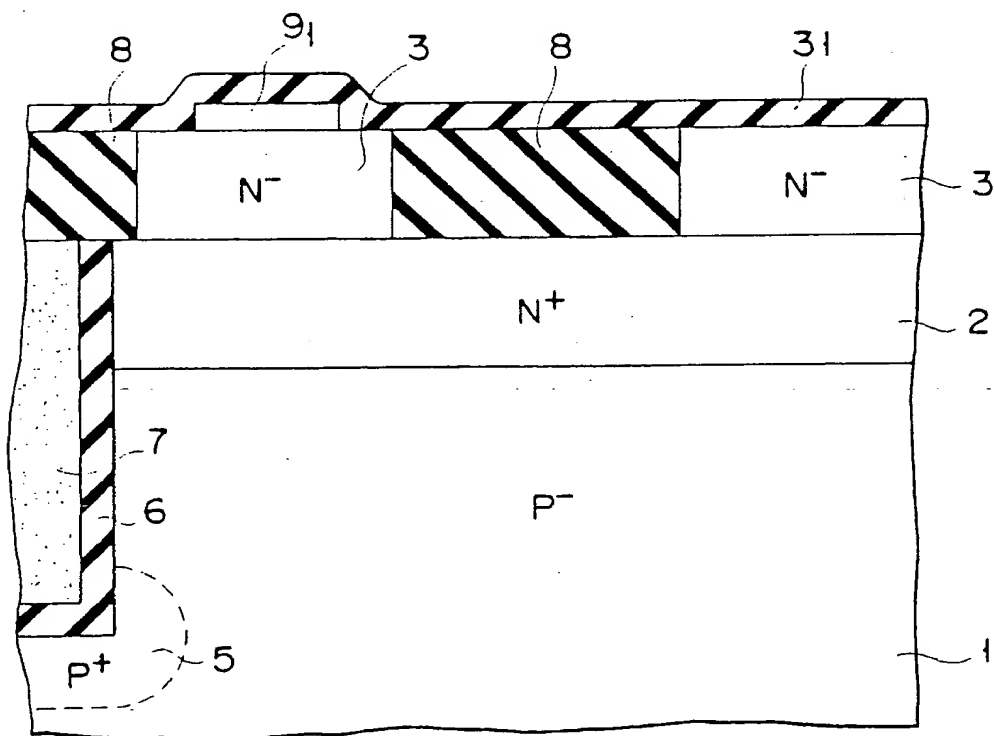
F I G. 9D



F I G. 9E



F I G. 9F



F I G. 9G

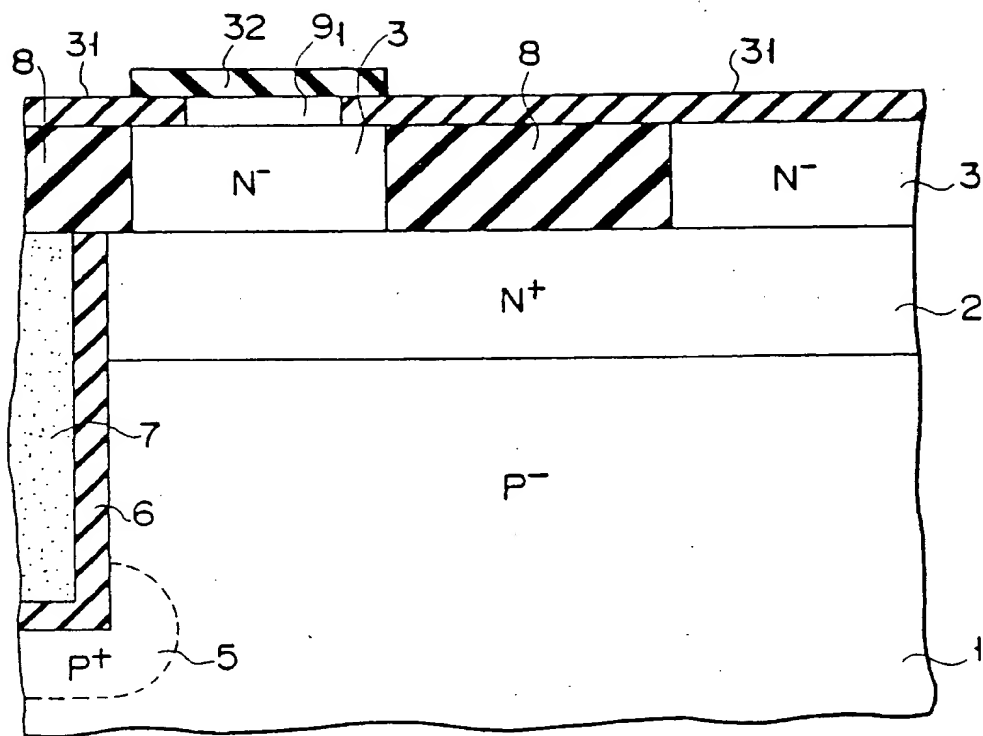


FIG. 9H

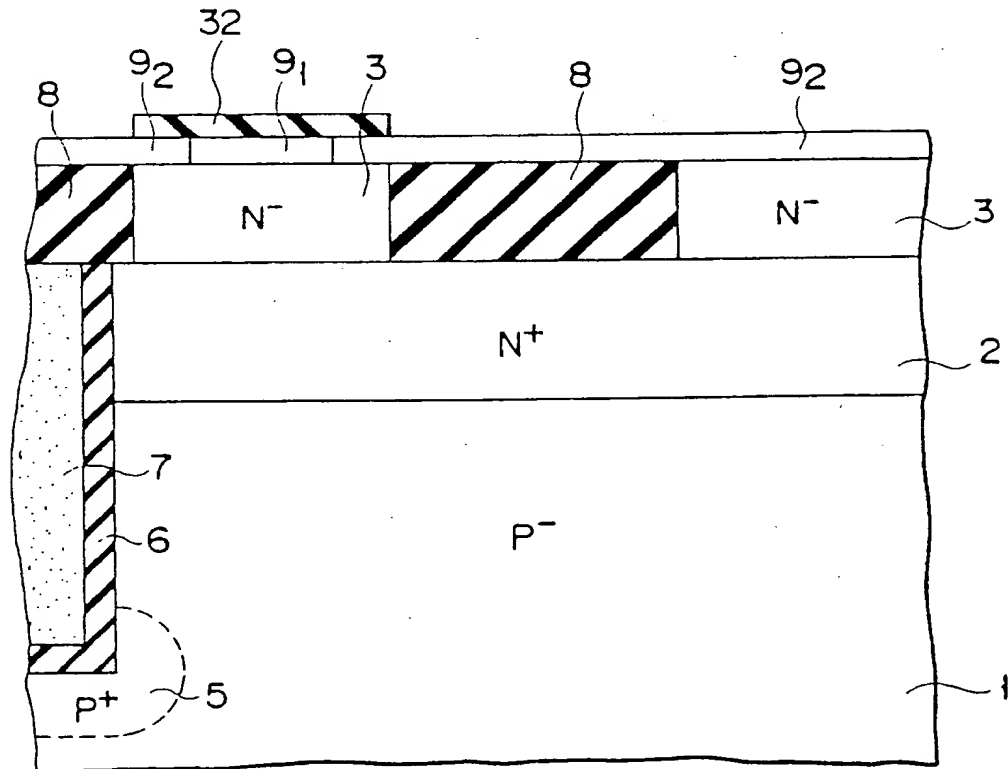
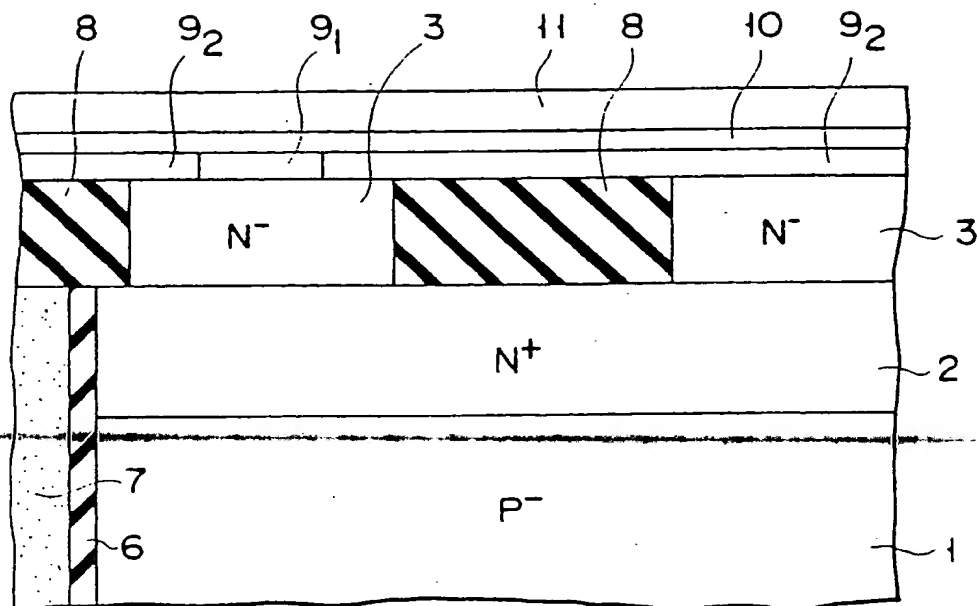
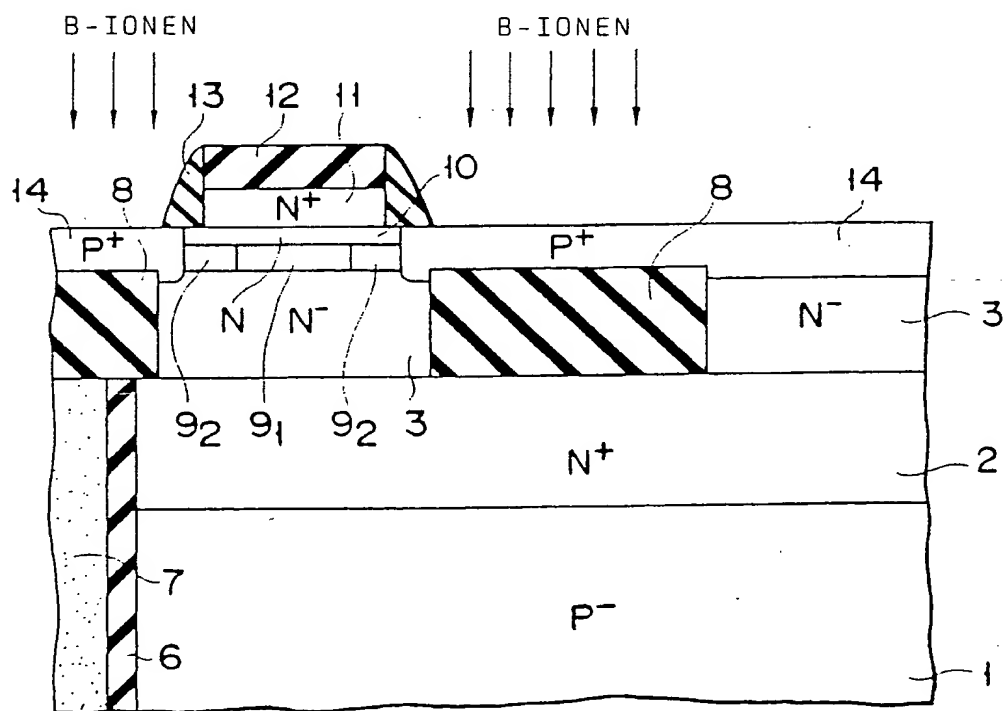


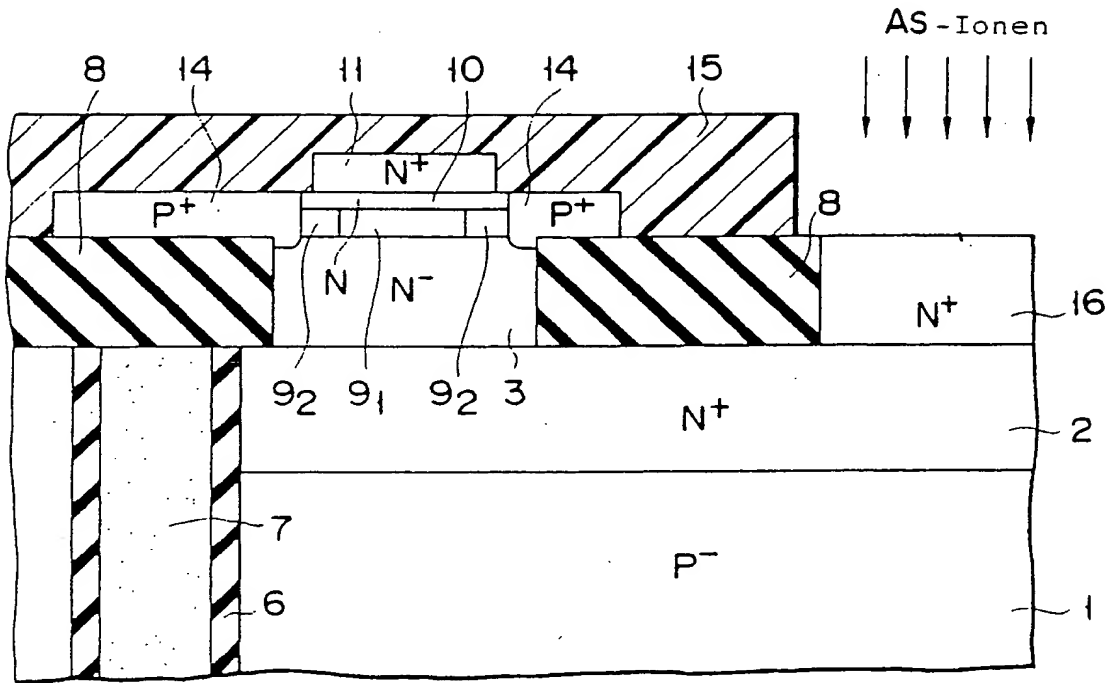
FIG. 9I



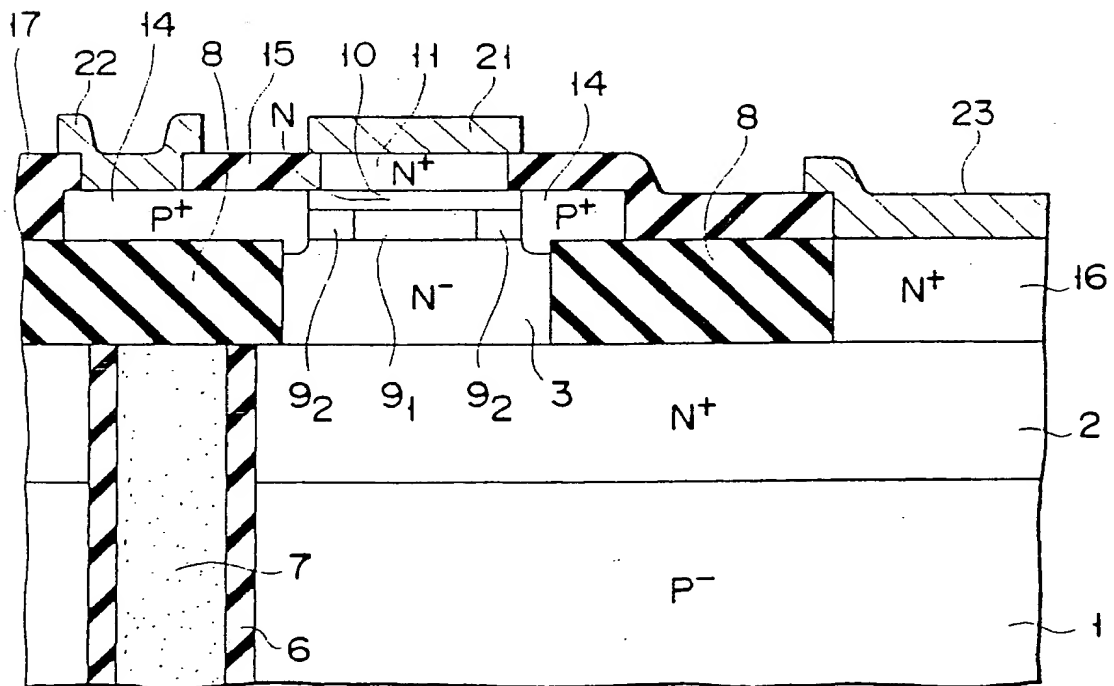
F I G. 9J



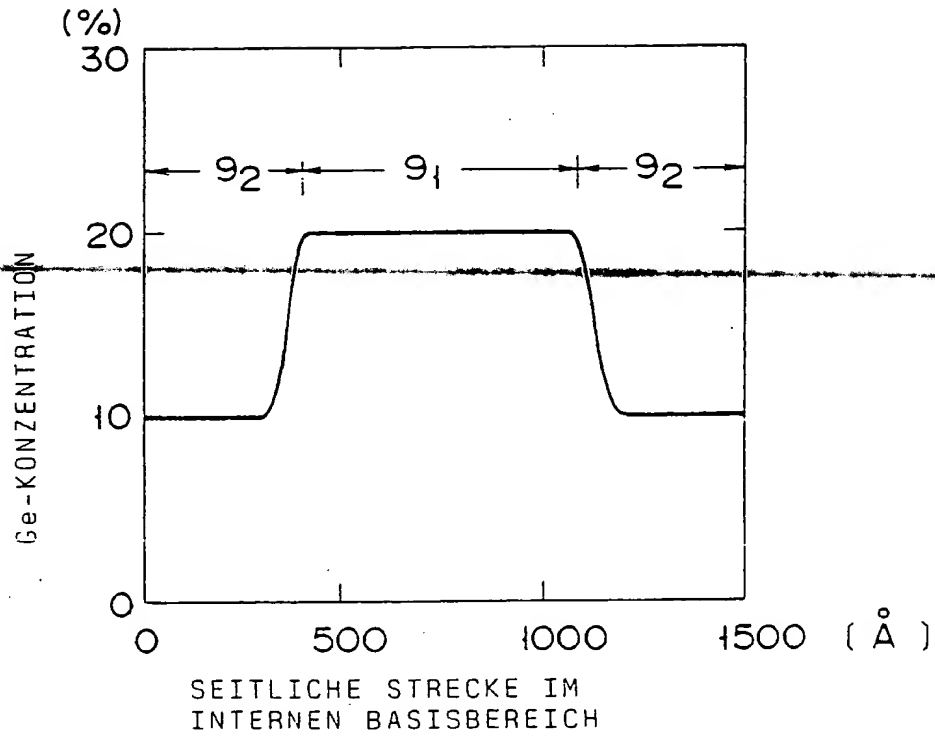
F I G. 9K



F I G. 9L



F I G. 9M



F I G. 10

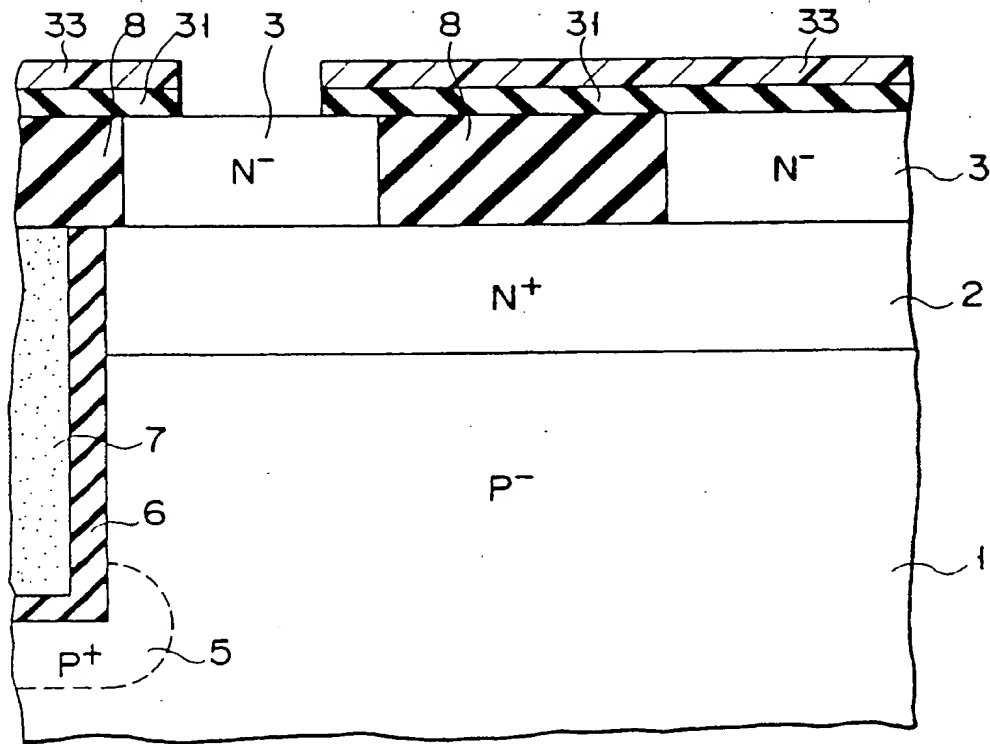


FIG. 11A

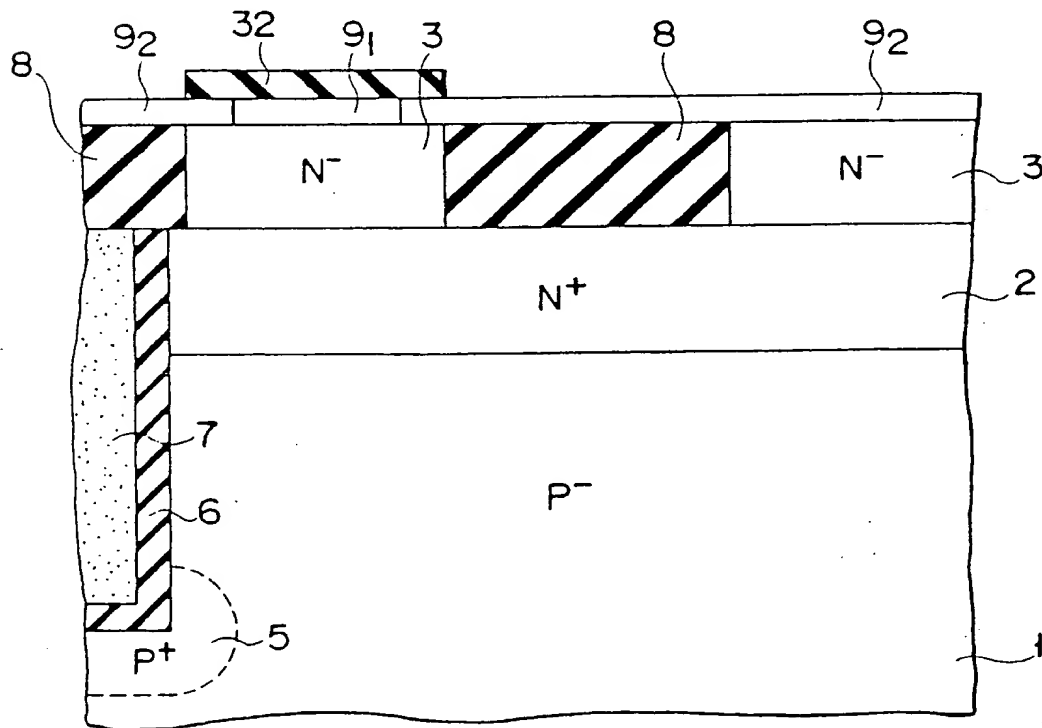
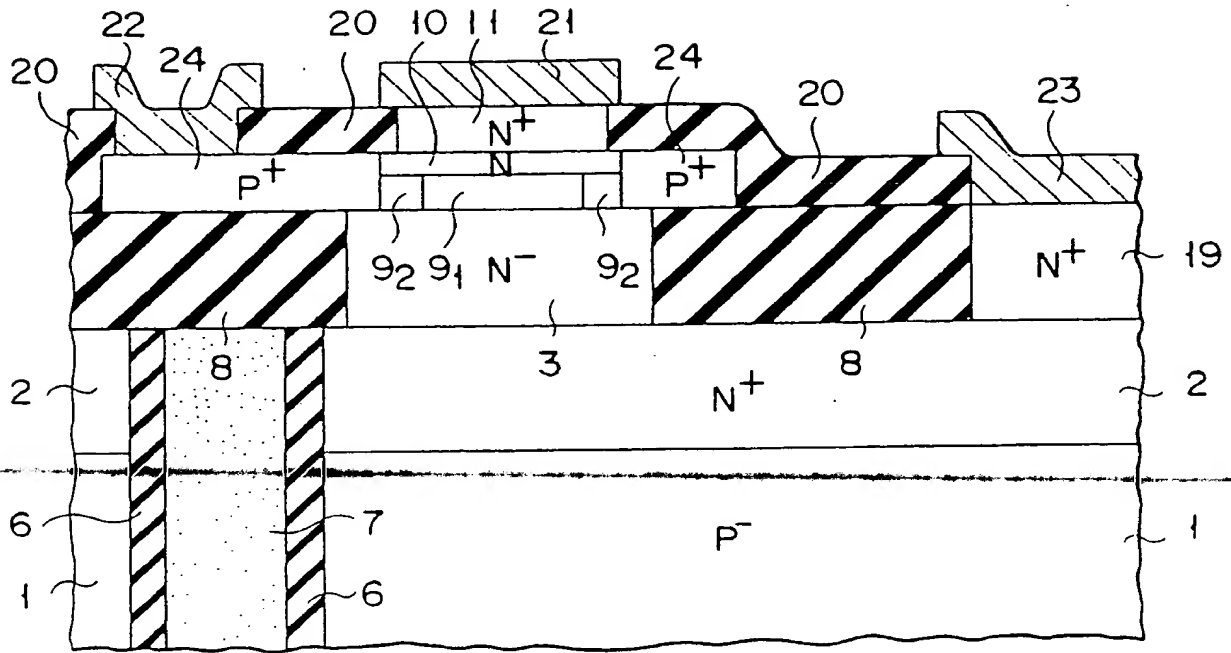
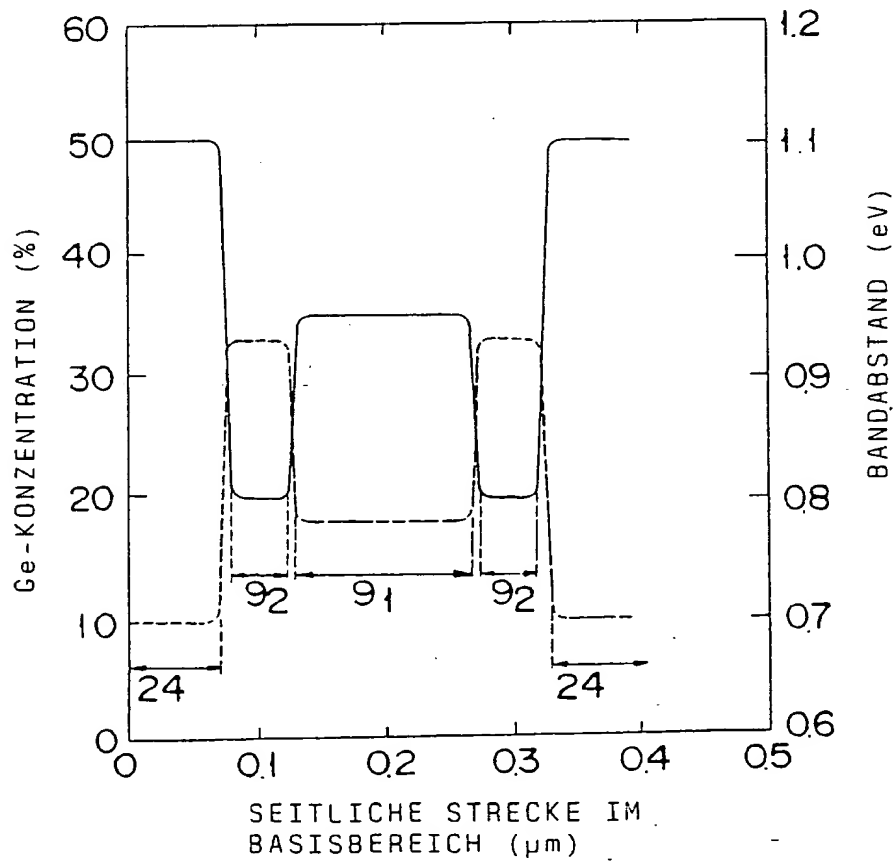


FIG. 11B



F I G. 12



F I G. 13